

T S4/5/1.

4/5/1

DIALOG(R) File 351:Derwent WPI

(c) 2005 Thomson Derwent. All rts. reserv.

013528305 **Image available**

WPI Acc No: 2001-012511/200102

XRPX Acc No: N01-009927

Color display device has several shift registers which are input with series of luminance signal and output luminance signals in parallel, corresponding to primary colors

Patent Assignee: CANON KK (CANO)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000293134	A	20001020	JP 9998130	A	19990405	200102 B

Priority Applications (No Type Date): JP 9998130 A 19990405

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2000293134	A	31	G09G-003/22	

Abstract (Basic): JP 2000293134 A

NOVELTY - A display panel (P2000) has several discharge elements (P2001) which are connected between column wiring (P2002) and row wiring (P2003). A modulation signal circuit (P1001) applies series of luminance signal to each row wiring. Several shift registers provided with serial output of memories storing series of luminance signal, output parallel luminance signals according to three primary colors.

DETAILED DESCRIPTION - A scan signal circuit (P1000) applies voltage to each column wiring. The discharge elements have fluorescent materials which emit light when series of luminance signal is applied to row wiring.

USE - In e.g. electron emitting fluorescent image display device.

ADVANTAGE - Favorable image without color non-uniformity is displayed by providing shift registers for every color. Transfer time of signal can be shortened.

DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of display panel of image display device.

Scan signal circuit (P1000)

Display panel (P2000)

Discharge elements (P2001)

Column wiring (P2002)

Row wiring (P2003)

pp; 31 DwgNo 1/26

Title Terms: DISPLAY; DEVICE; SHIFT; REGISTER; INPUT; SERIES; LUMINOUS; SIGNAL; OUTPUT; LUMINOUS; SIGNAL; PARALLEL; CORRESPOND; PRIMARY

Derwent Class: P85; T04

International Patent Class (Main): G09G-003/22

File Segment: EPI; EngPI

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-293134
(P2000-293134A)

(43) 公開日 平成12年10月20日 (2000.10.20)

(51) Int.Cl.⁷
G 0 9 G 3/22

識別記号

F I
C 0 9 G 3/22

データベース* (参考)
H 5 C 0 8 0

審査請求 未請求 請求項の数 5 O L (全 31 頁)

(21) 出願番号 特願平11-98130

(22) 出願日 平成11年4月5日 (1999.4.5)

(71) 出願人 000001007

キヤノン株式会社
東京都大田区下丸子3丁目30番2号

(72) 発明者 磯野 青児

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 山崎 達郎

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

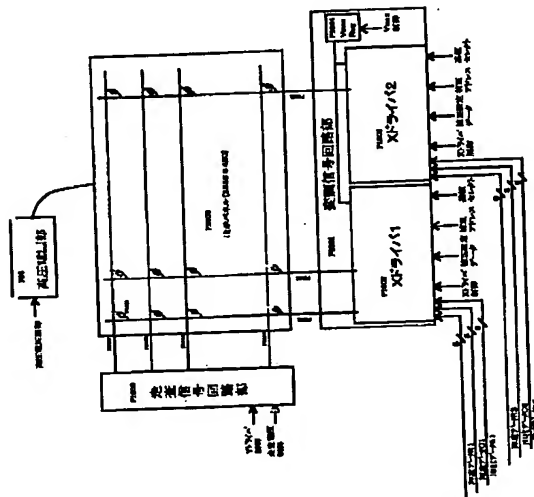
Fターム(参考) 5C080 AA18 BB06 CC03 DD05 DD08
EE29 EE30 FF12 GG02 GG12
JJ01 JJ02 JJ04 JJ06

(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】 カラー表示の場合において、変調信号の転送時間を短くしつつも色ずれのない画像を表示する。

【解決手段】 表示パネルP2000は、行方向配線P2002と列方向配線P2003とにマトリクス配線された表面伝導型放出素子P2001を有し、走査信号回路部P1000から行方向配線P2002への電圧の印加と、変調信号回路部P1001から列方向配線P2003への輝度信号の印加により画像を表示する。変調信号回路部P1001はXドライバP1002、P1003を有する。Xドライバは、3原色分を一つの組とする複数組のメモリと、各組に対応して設けられそれぞれ各色のメモリから入力した輝度信号を列方向配線P2003に並列に出力する複数のシフトレジスタとを有する。



【特許請求の範囲】

【請求項1】 複数の行方向配線と複数の列方向配線とにそれぞれマトリックス配線された複数の電子放出素子、及び前記各電子放出素子に対応して設けられ前記各電子放出素子からの電子の照射により発光する3原色の蛍光体を備えた表示パネルと、

前記各行方向配線に選択的に電圧を印加する走査信号印加手段と、

前記蛍光体のうち同一の行方向配線に接続された電子放出素子に対応する蛍光体を発光させるための一連の輝度信号を前記各列方向配線に印加する変調信号印加手段とを有し、

前記変調信号印加手段は、前記一連の輝度信号を複数の分割し前記3原色の色ごとかつ分割された単位ごとに記憶してシリアルに出力する複数のメモリと、前記分割された単位に対応して設けられ前記メモリから出力された前記3原色の輝度信号を前記列方向配線に並列に出力する複数のシフトレジスタとを有する画像表示装置。

【請求項2】 前記メモリから前記シフトレジスタへの輝度信号の入力順序を決める手段を有する請求項1に記載の画像表示装置。

【請求項3】 前記入力順序は前記3原色を繰り返す順序である請求項2に記載の画像表示装置。

【請求項4】 前記3原色を繰り返す順序が前記各シフトレジスタによって異なる請求項3に記載の画像表示装置。

【請求項5】 前記変調信号印加手段は複数のドライバを有し、前記各ドライバに、前記各メモリ及び前記各シフトレジスタが振り分けられている請求項1ないし4のいずれか1項に記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マトリックス配線された多数の電子放出素子から電子を放出することによってカラー画像を表示する表示パネルを有する画像表示装置に関する。

【0002】

【従来の技術】従来から、電子放出素子として熱陰極素子と冷陰極素子の2種類が知られている。このうち冷陰極素子では、例えば表面伝導型放出素子や、電界放出型素子（以下FE型と記す）や、金属／絶縁層／金属型放出素子（以下MIM型と記す）、などが知られている。

【0003】表面伝導型放出素子としては、例えば、M. I. Elinson, Radio Eng. Electron Phys., 10, 1290(1965)や、後述する他の例が知られている。

【0004】表面伝導型放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより電子放出が生ずる現象を利用するものである。この表面伝導型放出素子としては、前記エリソン等によるSnO₂薄膜を用いたものの他に、Au薄膜によるもの[G.

Dittmer: "Thin Solid Films", 9, 317(1972)]や、In₂O₃/SnO₂薄膜によるもの[M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519(1975)]や、カーボン薄膜によるもの[荒木久 他: 真空、第26巻、第1号、22(1983)]等が報告されている。

【0005】これらの表面伝導型放出素子の素子構成の典型的な例として、図23に前述のM. Hartwellらによる素子の平面図を示す。同図において、基板3001には、金属酸化物よりなる導電性薄膜3004が、H型形の平面形状に、スパッタで形成されている。導電性薄膜3004には、後述の通電フォーミングと呼ばれる通電処理を施すことにより、電子放出部3005が形成される。図中の間隔Lは、0.5~1[mm]、幅Wは、0.1[mm]に設定されている。尚、図示の便宜から、電子放出部3005は導電性薄膜3004の中央に矩形状で示したが、これは模式的なものであり、実際の電子放出部の位置や形状を忠実に表現しているわけではない。

【0006】M. Hartwellらによる素子をはじめとして上述の表面伝導型放出素子においては、電子放出を行う前に導電性薄膜3004に通電フォーミングと呼ばれる通電処理を施すことにより電子放出部3005を形成するのが一般的であった。即ち、通電フォーミングとは、導電性薄膜3004の両端に一定の直流電圧、もしくは、例えば1V/分程度の非常にゆっくりとしたレートで昇圧する直流電圧を印加して通電し、導電性薄膜3004を局所的に破壊もしくは変形もしくは変質せしめ、電気的に高抵抗な状態の電子放出部3005を形成することである。尚、局所的に破壊もしくは変形もしくは変質した導電性薄膜3004の一部には亀裂が発生する。この通電フォーミング後に導電性薄膜3004に適宜の電圧を印加した場合には、亀裂付近において電子放出が行われる。

【0007】FE型の例としては、例えば、W. P. Dyke & W. W. Dolan, "Field emission", Advance in Electron Physics, 8, 89(1956)や、或は、C. A. Spindt, "Physical properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248 (1976)などが知られている。

【0008】このFE型の素子構成の典型的な例として、図24に前述のC. A. Spindtらによる素子の断面図を示す。同図において、3010は基板で、3011は導電材料よりなるエミッタ配線、3012はエミッタコーン、3013は絶縁層、3014はゲート電極である。本素子は、エミッタコーン3012とゲート電極3014の間に適宜の電圧を印加することにより、エミッタコーン3012の先端部より電界放出を起こさせるものである。

【0009】また、FE型の他の素子構成として、図2

4のような積層構造ではなく、基板上に基板平面とほぼ平行にエミッタとゲート電極を配置した例もある。

【0010】また、MIM型の例としては、例えば、C. A. Mead, "Operation of tunnel-emission Devices", J. Appl. Phys., 32, 646(1961)などが知られている。

【0011】MIM型の素子構成の典型的な例を図25に示す。同図は断面図であり、図において、3020は基板で、3021は金属よりなる下電極、3022は厚さ100Å程度の薄い絶縁層、3023は厚さ80~300Å程度の金属よりなる上電極である。MIM型においては、上電極3023と下電極3021の間に適宜の電圧を印加することにより、上電極3023の表面より電子放出を起こさせるものである。

【0012】上述の冷陰極素子は、熱陰極素子と比較して低温で電子放出を得ることができるため、加熱用ヒータを必要としない。従って、熱陰極素子よりも構造が単純であり、微細な素子を作成可能である。また、基板上に多数の素子を高い密度で配置しても、基板の熱熔融などの問題が発生しにくい。また、熱陰極素子がヒータの加熱により動作するため応答速度が遅いのは異なり、冷陰極素子の場合には応答速度が速いという利点もある。

【0013】このため、冷陰極素子を応用するための研究が盛んに行われてきている。

【0014】例えば、表面伝導型放出素子は、冷陰極素子の中でも特に構造が単純で製造も容易であることから、大面積にわたり多数の素子を形成できる利点がある。そこで、例えば本願出願人による特開昭64-31332号公報において開示されるように、多数の素子を配列して駆動するための方法が研究されている。

【0015】また、表面伝導型放出素子の応用については、例えば画像表示装置、画像記録装置などの画像形成装置や、荷電ビーム源等の電子線装置が研究されている。

【0016】特に、画像表示装置への応用としては、例えば本願出願人による米国特許5,066,883号や特開平2-257551号公報や特開平4-28137号公報において開示されているように、表面伝導型放出素子と電子の衝突により発光する蛍光体とを組み合わせ用いた画像表示装置が研究されている。表面伝導型放出素子と蛍光体とを組み合わせ用いた画像表示装置は、従来の他の方式の画像表示装置よりも優れた特性が期待されている。例えば、近年普及してきた液晶表示装置と比較しても自発光型であるためバックライトを必要としない点や、視野角が広い点が優れているといえる。

【0017】また、FE型を多数個ならべて駆動する方法は、例えば本願出願人による米国特許4,904,895号に開示されている。また、FE型を画像表示装置に応用した例として、例えば、R. Mayerらにより報告された平板型の表示装置が知られている[R. Meyer: "Rec-

ent Development on Microtips Display at LETI", Tech. Digest of 4th Int. Vacuum Microelectronics Conf., Nagahama, pp.6~9(1991)]。

【0018】また、MIM型を多数個並べて画像表示装置に応用した例は、例えば本願出願人による特開平3-55738号公報に開示されている。

【0019】図26に、電子放出素子を単純マトリックス配線した表示パネルを有する画像表示装置の概略ブロック図を示す。

【0020】図26において、表示パネル4006は、2次元的にマトリックス状に配列されそれぞれ行方向配線4002及び列方向配線4003と接続された複数の冷陰極素子4001を有する。このような簡単な配線方法をマトリックス配線方法と呼んでいる。このマトリックス配線方法は、構造が単純なため、作製が容易である。

【0021】各列方向配線4002は走査信号を発生する走査回路4008に接続され、各行方向配線4003は、映像データが入力されてこの表示パネル4006を駆動するための変調信号を発生する変調回路4007に接続されている。

【0022】

【発明が解決しようとする課題】しかしながら、HDTVにおいては水平の映像信号が2556本、垂直走査線数が480本となり、ただ一つのシフトレジスタで映像信号を振り分けるためにはシフトクロックが86MHz以上必要であり、設計の障害となっていた。これを解決するには、1ラインを複数に分割し、分割した単位ごとに、シフトレジスタを用いて同時にデータ転送を行うことが考えられる。

【0023】しかし、この方法は、表示画像が単色の場合には、シフトレジスタへのデータの書き込み位置がずれても、その分だけ単に輝度が変わるだけなので大きな問題とはならないが、表示画像がカラーの場合には、色自体が変わってしまうので、場合によっては見苦しい画像となってしまう。

【0024】本発明の目的は、カラー表示の場合において、変調信号の転送時間を短くしつつも色ずれのない画像を表示することができる画像表示装置を提供することである。

【0025】

【課題を解決するための手段】上記目的を達成するため本発明の画像表示装置は、複数の行方向配線と複数の列方向配線とにそれぞれマトリックス配線された複数の電子放出素子、及び前記各電子放出素子に対応して設けられ前記各電子放出素子からの電子の照射により発光する3原色の蛍光体を備えた表示パネルと、前記各行方向配線に選択的に電圧を印加する走査信号印加手段と、前記蛍光体のうち同一の行方向配線に接続された電子放出素子に対応する蛍光体を発光させるための一連の輝度信号

を前記各列方向配線に印加する変調信号印加手段とを有し、前記変調信号印加手段は、前記一連の輝度信号を複数に分割し前記3原色の色ごとかつ分割された単位ごとに記憶してシリアルに出力する複数のメモリと、前記分割された単位に対応して設けられ前記メモリから出力された前記3原色の輝度信号を前記列方向配線に並列に出力する複数のシフトレジスタとを有する。

【0026】上記のとおり構成された本発明の画像表示装置では、一連の輝度信号を複数に分割し、この分割した単位、かつ、3原色(R、G、B)ごとにメモリを設けるとともに、上記分割した単位ごとにシフトレジスタを設けているので、シフトレジスタへの輝度信号の書き込みが色ごとに行われることになる。

【0027】

【発明の実施の形態】次に、本発明の実施形態について図面を参照して説明する。

【0028】(第1の実施形態)図1は、本発明の画像表示装置の第1の実施形態の表示パネル及びその駆動回路部のブロック図である。また、図2はそのアナログ処理部のブロック図、図3はそのデコード部のブロック図、図4はそのタイミング発生部のブロック図である。

【0029】図1～4に示すように、本実施形態の画像表示装置は、画像を表示する表示パネルP2000と、表示パネルP2000を駆動するための駆動回路部と、外部からの画像信号をデコードするデコード部と、デコード部でデコードされたアナログ信号をデジタル信号に変換するために必要なタイミング信号を発生するタイミング発生部と、アナログ信号をデジタル信号に変換して駆動回路部に出力するアナログ処理部とを有する。

【0030】表示パネルP2000は、本実施形態では、480行の行方向配線P2002と2556列の列方向配線P2003とによりマトリクス配線された480×2556個の表面伝導型素子P2001を有する。

【0031】ここで、表示パネルP2000の構成について図5を参照して説明する。図5は、表示パネルP2000の一例を示す斜視図であり、内部構造を示すためにパネルの一部を切り欠いて示している。

【0032】図中、P2015はリアプレート、P2016は側壁、P2017はフェースプレートであり、リアプレートP2015、側壁P2016およびフェースプレートP2017により、表示パネルP2000の内部を真空中に維持するための外囲器(気密容器)を形成している。リアプレートP2015には基板P2011が固定されているが、上述した480×2556個の表面伝導型素子P2001、及び各表面伝導型素子P2001に接続される行方向配線P2002、列方向配線P2003は、この基板P2011上に形成されている。これら基板P2011、表面伝導型素子P2001、行方向配線P2002及び列方向配線P2003によって

構成される部分をマルチ電子ビーム源と呼ぶ。また、行方向配線P2002と列方向配線P2003の少なくとも交差する部分には、両配線間に絶縁層(不図示)が形成されており、電気的な絶縁が保たれている。

【0033】各行方向配線P2002は、電気接続用端子あるいはフレキシブルケーブルを介して、外囲器の気密構造を保持したまま走査信号回路部P1000(図1参照)と電気的に接続される。各列方向配線P2003も同様に、変調信号回路部P1001(図1参照)と電気的に接続される。

【0034】フェースプレートP2017の下面には、蛍光体からなる蛍光膜P2018が形成されており、さらに蛍光膜P2018のリアプレートP2015側の面には、A1等からなるメタルバックP2019が形成されている。このメタルバックP2019は、高圧電源部P30(図1参照)と電気的に接続されている。蛍光膜P2018は、図6に示すように、赤(R)、緑(G)、青(B)の3原色の蛍光体P2018R、P2018G、P2018Bが縦ストライプ状に塗り分けられている。また、蛍光膜P2018をなす上記各色蛍光体P2018R、P2018G、P2018Bの間には黒色導電体P2018aが設けられている。

【0035】また、上記気密容器の内部は 10^{-6} Torr程度の真空中に保持されており、画像表示装置の表示面積が大きくなるにしたがい、気密容器内部と外部の気圧差によるリアプレートP2015およびフェースプレートP2017の変形あるいは破壊を防止する手段が必要となる。リアプレートP2015およびフェースプレートP2016を厚くすることによる方法は、画像表示装置の重量を増加させるのみならず、斜め方向から見たときに画像のゆがみや視差を生ずる。従って、本実施形態においては、比較的薄いガラス板からなり大気圧を支えるための構造支持体P2020が設けられている。このようにして、マルチビーム電子源が形成された基板P2011と蛍光膜P2018が形成されたフェースプレートP2016間は通常サブミリないし数ミリに保たれ、前述したように気密容器内部は高真空中に保持されている。

【0036】以上説明した表示パネルP2000は、行方向配線P2002及び列方向配線P2003を通じて各表面伝導型素子P2001に電圧を印加すると、各表面伝導型素子P2001から電子が放出される。それと同時にメタルバックP2019に高圧電源部P30により数百[V]～数[kV]の高圧を印加して、上記放出された電子を加速し、フェースプレートP2017の内面に衝突させる。これにより、蛍光膜P2018をなす各色の蛍光体が励起されて発光し、画像が表示される。

【0037】本実施例においては、上述したように水平方向852(RGBトリオ)×垂直方向480ラインの画素数を有する表示パネルP2000にHDTV相当の

テレビ画像を表示する応用例を示すが、HDTVに限らずNTSCやコンピュータの出力画像など、解像度やフレームレートが異なる画像信号に対しても、ほぼ同一の構成で容易に対応できる。

【0038】次に、図1～4に戻り、本実施形態の各回路部について説明する。

【0039】図3に示すデコーダ部P1は、HDTVのR・G・B信号を出力するものである。このユニット内にて入力ビデオ信号に重畳されている同期信号(SYNC)を分離し出力し、サンプリングCLK信号(CLK1)を生成し出力する。

【0040】図4に示すタイミング発生部P2は、デコーダ部P1にてデコードされたアナログR・G・B信号を、表示パネルP2000を輝度変調するためのデジタル階調信号に変換するために必要な以下のタイミング信号を発生する。

(1) クランプパルス：デコーダ部P1からのR・G・Bアナログ信号を図2に示すアナログ処理部P3にて直流再生するための信号。

(2) ブランクパルス(BLKパルス)：デコーダ部P1からのR・G・Bアナログ信号にアナログ処理部P3にてブランク期間を付加するための信号。

(3) 検出パルス：R・G・Bアナログ信号のレベルを図2に示すビデオ検出部4にて検出するための信号。

(4) サンプルCLK(CLK2)：アナログR・G・B信号を図2に示すA/D部P6にてデジタル信号に変換するための信号で、同期信号(SYNC)が入力されているときは、CLK1をサンプルCLK(CLK2)として出力し、同期信号(SYNC)が入力されていないときは、不図示の自走CLK信号をサンプルCLK(CLK2)として出力することで、入力ビデオ信号が存在しないときもサンプルCLK(CLK2)を出力することができる。

(5) RAMコントローラ制御信号：図2に示すRAMコントローラP12がRAM(P8)を制御するために必要な信号。

(6) 自走CLK信号(不図示)：タイミング発生部P2内で生成された自走信号で、同期信号(SYNC)が入力されないときに、自走CLK信号をサンプルCLK(CLK2)として出力する信号。

(7) 同期信号(SYNC2)：同期信号(SYNC)が入力されたときは、同期信号(SYNC)が同期信号(SYNC2)として出力され、同期信号(SYNC)が入力されないときに、タイミング発生部P2内の不図示の自走CLK信号を基に生成される信号。

【0041】上述したように、タイミング発生部P2は、不図示の自走のCLK信号を発生させる手段を備えることにより、入力ビデオ信号が存在しないときも基準信号であるCLK2、SYNC2を発生できるため、RAM(P8)の画像データを読み出すことによる画像表

示が可能である。

【0042】図2に示すアナログ処理部P3は、デコーダ部P1からの出力原色信号それぞれに備えられるアナログ処理部であり、主に以下の動作をする。

(1) タイミング発生部P2からクランプパルスを受け直流再生を行なう。

(2) タイミング発生部P2からBLKパルスを受けブランキング期間を付加する。

(3) MPU(P11)を中心に構成されるシステムコントロール部の制御出力の一つであるD/A部P14のゲイン調整信号を受け、デコーダ部P1から入力された原色信号の振幅制御を行なう。

(4) D/A部P14のオフセット調整信号を受け、デコーダ部P1から入力された原色信号の黒レベル制御を行なう。

【0043】また、ビデオ検出部P4は、入力される映像信号レベルあるいは、アナログ処理部P3にて制御された後の映像信号レベルを検出するためのものであり、タイミング発生部P2から検出パルスを受け、MPU(P11)を中心に構成されるシステムコントロール部の制御入力の一つであるA/D部P15により検出結果が読み取られる。

【0044】タイミング発生部P2からの検出パルスは、例えば不図示のゲートパルス、リセットパルス、サンプル&ホールド(以下S/H)パルスの3種からなり、ビデオ検出部P4は例えば不図示の積分回路とS/H回路からなる。

【0045】たとえばゲートパルスにより入力ビデオ信号の有効期間中、前述の積分回路でビデオ信号を積分し、垂直帰線期間に発生するS/HパルスによりS/H回路で積分回路の出力をサンプルする。同垂直帰線期間にA/D部P15により検出結果が読み取られた後、リセットパルスで積分回路とS/H回路が初期化される。このような動作で、フィールド毎の平均ビデオレベルが検出できる。

【0046】LPF(P5)は、A/D部P6の前段に置かれるプリフィルタ手段である。A/D部P6は、タイミング発生部P2からのサンプルCLK信号(CLK2)を受け、LPF(P5)を通過したアナログ原色信号を必要階調数で量子化する。

【0047】RAM(P8)は、R/G/B処理回路毎に備えられた画像メモリであり、表示パネルP2000の総表示画素数分のアドレスを有する(この場合、水平852×垂直480ライン×3個)。このメモリに、表示パネルP2000の各絵素が発光すべき輝度データを格納しておき、点順次に輝度データを読み出すことにより、表示パネルP2000に、メモリ内に格納された画像の表示を行なう。

【0048】RAM(P8)に格納された輝度データの出力は、RAMコントローラP12からのアドレス制御

を受けて行なう。

【0049】一方、RAM (P8) へのデータの書き込みは、MPU (P11) を中心に構成されるシステムコントロール部の管理の基に行われる。簡単なテストパターンなどであれば、MPU (P11) がRAM (P8) の各アドレスに格納する輝度データを演算して発生し書き込む。自然静止画像のようなパターンであれば、例えば外部コンピュータなどに格納した画像ファイルをMPU (P11) を中心に構成されるシステムコントロール部の入出力部のひとつであるシリアル通信I/F (P16) を介して読み込み、RAM (P8) へ書き込む。

【0050】データセクタP9は、出力する画像データをRAM (P8) からのデータにするか、あるいはA/D部P6 (入力ビデオ信号系) からのデータにするかを、MPU (P11) を中心に構成されるシステムコントロール部の制御入出力のひとつであるI/O制御部P13の出力により決定する。

【0051】この2系統の入力セレクトの他、データセクタP9から固定値を発生するモードを持ち、I/O制御部P13によりこのモードが選択され出力することもできる。このモードにより、例えば全白パターンなどの調整信号を外部入力なしに高速に表示することができる。

【0052】逆γテーブルP7は、入力されるビデオ信号を表示パネルP2000が有する発光特性に変換するために備えられた階調特性変換手段である。本実施形態のようにパルス幅変調により輝度階調を表現する場合、輝度データの大きさに発光量がほぼ比例するリニアな特性を示すことが多い。一方ビデオ信号は、CRTを用いたTV受像機を対象としているため、CRTの非線形な発光特性を補正するためにγ処理を施されている。このため本実施形態のようにリニアな発光特性を持つ表示パネルP2000にTV画像を表示させる場合、逆γテーブルP7のような階調特性変換手段でγ処理の効果を打ち消す必要がある。なお、表示パネルP2000の発行特性は、I/O制御部P13の出力によりこのテーブルデータを切り替えることによって、好みに変えることが出来る。

【0053】第1及び第2のラインメモリP22、P23は、各原色信号毎に備えられる水平1ラインメモリ手段であり、図4に示すラインメモリ制御部P21のRD制御信号により、R・G・Bそれぞれの輝度データを、時間的に前後2系統の信号を同時出力するように変換し、R・G・Bそれぞれ2系統の輝度データ1、輝度データ2の信号を、それぞれラッチ手段P24、P25を介して、図1に示す変調信号回路部P1001のXドライブ1 (P1002) 及びXドライブ2 (P1003) へ出力する。これにより、データ転送時間を倍にすることができる。

【0054】システムコントロール部は、主にMPU

(P11)、シリアル通信I/F (P16)、I/O制御部P13、D/A部P14、A/D部P15、データメモリP17、ユーザーSW (P18) から構成される。

【0055】システムコントロール部は、ユーザーSW (P18) やシリアル通信I/F (P16) からのユーザー要求を受け、対応する制御信号をI/O制御部P13やD/A部P14から出力することによりその要求を実現する。また、A/D部P15からのシステム監視信号を受け対応する制御信号をI/O制御部P13やD/A部P14から出力することにより最適な自動制御を行なう。

【0056】また、ユーザー要求に応じて、テストパターン発生や階調性の可変、明るさ、色制御などの表示制御が実現できる。また前述のようにビデオ検出部P4からの平均ビデオレベルをA/D部P15でモニタすることによりABLなどの自動制御を行なうこともできる。さらに、データメモリP17を備えることにより、ユーザー調整量を保存することができる。

【0057】ドライバタイミング発生回路は、図4に示すように、Yドライバ制御タイミング発生部P19、及びXドライバ制御タイミング発生部P20を有している。ともにCLK1、CLK2、SYNC2信号を受け、それぞれYドライバ制御信号、Xドライバ制御信号を発生する。

【0058】また、ラインメモリ制御部P21は、各ラインメモリP22、P23のタイミング制御を行なうための制御部であり、CLK1、CLK2、SYNC2信号を受け、輝度データをラインメモリに書き込むためのR、G、BのWRT制御信号およびラインメモリからR・G・Bそれぞれの輝度データを、時間的に前後2系統の信号を同時出力するように変換し、R・G・Bそれぞれ2系統の輝度データを読み出すためのR、G、BのRD制御信号を発生する。

【0059】図1に示す走査信号回路部P1000は、上述したYドライバ制御タイミング発生部P19から制御信号を受け、行方向配線P2002を選択する信号を出力する。図9のT112に、行方向配線駆動波形の一例を示す。また、D/A部P14により、行方向配線選択時の走査電圧 V_{ss} を制御することができる。同様に高圧電源部P30も、システムコントロール部の制御入出力のひとつであるD/A部P14により制御される。

【0060】変調信号回路部P1001は、同一基板上に構成されたXドライブ1 (P1002)、Xドライブ2 (P1003)、及び V_{max} レギュレータP1004で構成される。

【0061】本実施形態においては、Xドライブ1 (P1002) とXドライブ2 (P1003) とは、同一の基板で合成され、MPU (P11) からの基板セレクト

信号に応じて異なる機能を有する。

【0062】ここで、Xドライバ1 (P1002) 及びXドライバ2 (P1003) について、図7及び図8を参照して説明する。

【0063】Xドライバ1 (P1002) 及びXドライバ2 (P1003) は同一構成をしており、メモリ部P1005、ドライバ部P1006、Xドライバタイミング発生部P1007 (P1008) で構成されている。メモリ部P1005は、R・G・Bそれぞれの輝度データを一時記録する輝度信号用ラインメモリP1009～P1032と、補正データを記録する補正用メモリP1033～P1040で構成されている。

【0064】〈ライト動作〉図2に示すラッチ手段P24、P25から出力された2層に分けられたR・G・Bそれぞれの輝度データを、Xドライバタイミング発生部P1007、P1008からのラインメモリ制御信号 (図11～14のT114のライトイネーブル信号、ライトリセット信号、ライトクロック信号) により、輝度信号用ラインメモリP1009～P1032に図11～14のT115の輝度データ (ラインメモリ入力データ) を書き込む。ただし、この入力された輝度データには、発光に寄与しないデータ列数を一定にするための無効なデータも含まれている。

【0065】このとき2層のR・G・Bそれぞれの輝度データは、図10のT113ように更に4層に分割される。そして、4層に分割するためにR・G・Bそれぞれのデータの走査方向の2ライン分のデータ109×2個を、最初に図11のラインメモリ制御信号T114 (ライトイネーブル信号、ライトリセット信号、ライトクロック信号) により輝度信号用ラインメモリP1009～P1011、P1021～P1023に書き込み、その後順次、図12のラインメモリ制御信号T114により輝度信号用ラインメモリP1012～P1014、P1024～P1026に、図13のラインメモリ制御信号T114により輝度信号用ラインメモリP1015～P1017、P1027～P1029に、図14のラインメモリ制御信号T114により輝度信号用ラインメモリP1018～P1020、P1030～P1032に書き込む。ここで、輝度信号用ラインメモリP1009～P1032は、クロック同期式のラインメモリである。

【0066】Xドライバ1 (P1002) 及びXドライバ2 (P1003) それぞれの、図11～図14のラインメモリ制御信号T114のライトイネーブル信号、ライトリセット信号、ライトクロック信号は、MPU (P11) からの基板セレクト信号により、予め2系統用意した信号を選択したり、一つの信号を遅延したり、クロックをデコードして作っている信号のデコード値を変更することによってすることによって、ドライバ毎で異なる信号を出力している。

【0067】〈リード動作〉その後、輝度データを輝度

信号用ラインメモリP1009～P1011、P1021～P1023においては、図15のT116に示す、Xドライバタイミング発生部P1007、P1008からのラインメモリ制御信号のリードイネーブル信号、リードリセット信号、リードクロック信号により、輝度信号用ラインメモリP1012～P1014、P1024～P1026においては図16のラインメモリ制御信号T116により、輝度信号用ラインメモリP1015～P1017、P1027～P1029においては図17のラインメモリ制御信号T116により、輝度信号用ラインメモリP1018～P1020、P1030～P1032においては図18のラインメモリ制御信号T116により、R・G・Bそれぞれの輝度データを、列方向配線P2003で接続されたパネルの蛍光体色に応じた順番に並べ替えて直列信号に変換する。

【0068】そして、輝度信号用ラインメモリP1009～P1011、P1021～P1023の輝度データをシフトレジスタP1041、P1045に、輝度信号用ラインメモリP1012～P1014、P1024～P1026の輝度データをシフトレジスタP1042、P1046に、輝度信号用ラインメモリP1015～P1017、P1027～P1029の輝度データをシフトレジスタP1043、P1047に、輝度信号用ラインメモリP1018～P1020、P1030～P1032の輝度データをシフトレジスタP1043、P1047にそれぞれ出力する。

【0069】Xドライバ1 (P1002) 及びXドライバ2 (P1003) それぞれの、図15～図18のラインメモリ制御信号T116のリードイネーブル信号、リードリセット信号、リードクロック信号は、MPU (P11) からの基板セレクト信号により、予め2系統用意した信号を選択したり、一つの信号を遅延したり、クロックをデコードして作っている信号のデコード値を変更することによってすることによって、ドライバ毎で異なる信号を出力している。

【0070】そして、図15～図18に示すように、Xドライバタイミング発生部P1007、P1008からの320パルスのシフトクロック (SFTCLK) T107により、輝度信号用ラインメモリP1009～P1011、P1012～P1014、P1015～P1017、P1018～P1020、P1021～P1023、P1024～P1026、P1027～P1029、P1030～P1032から出力されたそれぞれの輝度データのうち320個の輝度データを同時に、シフトレジスタP1041、P1042、P1043、P1044、P1045、P1046、P1047、P1048にそれぞれ入力する。

【0071】I/O制御部P13から出力される補正設定データを、Xドライバタイミング発生部P1007、P1008からのメモリ制御信号のメモリライト信号・

アドレス信号により、起動時もしくは帰線期間中に補正用メモリP1033～P1040に書き込み、その後、Xドライバタイミング発生部P1007、P1008からのメモリ制御信号のメモリリード信号・アドレス信号により、シフトレジスタP1049～P1056に出力する。メモリ制御信号のメモリライト信号・メモリリード信号・アドレス信号は、Xドライバ1 (P1002) とXドライバ2 (P1003) とでは、MPU (P11) からの基板セレクト信号を判断することにより異なるアドレス値の信号を出力している。

【0072】ドライバ部P1006は、輝度データ用のシフトレジスタP1041～P1048と振幅データ用のシフトレジスタP1049～P1056と、各列方向配線毎に備えられるPWMジェネレータ部P1057と、D/A部P1058と、トランジスタなどで構成されるスイッチ手段P1059と、ダイオード手段P1060とで構成される。

【0073】各列配線毎に備えられるPWMジェネレータ部P1057は、各シフトレジスタP1041～P1048から輝度データを受け、水平周期毎にデータの大きさに比例したパルス幅を有するパルス信号を発生する。D/A部P1058は電流出力のデジタルアナログ変換機であり、各シフトレジスタP1049～P1056からの電流振幅値のデータを受け、水平周期毎にデータの大きさに比例した電流振幅を有する駆動電流を発生する。

【0074】列方向配線毎に備えられるダイオード手段P1060は、コモン側がVmaxレギュレータP1004に接続される。VmaxレギュレータP1004は電流吸い込みが可能な定電圧源であり、ダイオード手段P1060と合わせて、表示パネルP2000の255×480個の各表面伝導型素子P2001に過電圧が印加されるのを防止する保護回路を形成する。この保護電圧 (Vmaxと行方向配線P2002の走査選択時に印加される-Vssで規定される電位) は、MPU (P11) を中心に構成されるシステムコントロール部の制御入出力のひとつであるD/A部P14により与えられる。従って、素子過電圧防止の他、輝度制御の目的でVmax電位 (もしくは-Vss電位) を変化させることも可能である。なお、本実施形態では、VmaxレギュレータP1004はXドライバ1 (P1002) 及びXドライバ2 (P1003) に共通にものとして設けられている例を示したが、Xドライバ1 (P1002) 及びXドライバ2 (P1003) にそれぞれ個別に設け、Vmaxをそれぞれのドライバに対して独立に制御する構成としてもよい。

【0075】Xドライバタイミング発生部P1007は、MPU (P11) から基板セレクト信号を、Xドライバ制御タイミング発生部P20からXドライバ制御信号を、I/O制御部P13から補正アドレスと補正設定

データを受け、各Xドライバ制御のために以下の信号を出力する。

【0076】(1) ラッチ手段P24、P25からのR・G・Bそれぞれの輝度データを輝度信号用ラインメモリP1009～P1032に書き込むためのメモリライト制御信号であるラインメモリ制御信号T114 (ライトイネーブル信号、ライトリセット信号、ライトクロック信号) であるメモリライト制御信号、及び、輝度信号用ラインメモリP1009～P1032からのR・G・Bそれぞれの輝度データをパネル色配列に応じた順番に並べ替えて、直列信号に変換し、シフトレジスタP1041～P1048に出力するためのラインメモリ制御信号T116 (リードイネーブル信号、リードリセット信号、リードクロック信号) であるメモリリード制御信号。このメモリライト制御信号 (T114) 及びメモリリード制御信号 (T116) は、MPU (P11) から基板セレクト信号の違いにより、Xドライバ1 (P1002) とXドライバ2 (P1003) との違いにより、予め2系統用意した信号を選択したり、一つの信号を遅延したり、クロックをデコードして作っている信号のデコード値を変更することによってすることによって、ドライバ毎で異なる信号を出力している。

【0077】(2) I/O制御部P13から補正アドレスと補正設定データを受け、補正設定データを補正用メモリP1033～P1040に書き込むためのメモリライト制御信号と、アドレス信号と補正データを補正用メモリP1033～P1040からシフトレジスタP1049～P1056に出力するためのメモリリード制御信号。

【0078】(3) 輝度信号用ラインメモリP1009～P1032からの輝度データT117をシフトレジスタP1041～P1048に読み込むためのPWMデータシフト信号としてのシフトクロック信号T107。

【0079】(4) 補正用メモリP1033～P1040からの補正データをシフトレジスタP1049～P1056に読み込むための振幅データシフト信号としてのシフトクロック信号。

【0080】(5) シフトレジスタP1041～P1048、P1049～P1056に読み込んだデータをPWMジェネレータ部P1057とD/A部P1058内の非図示のメモリ手段にフェッチするため、及びPWMジェネレータ部P1057とD/A部P1058へ、PWM制御信号、D/A制御信号として、水平周期のトリガ及び、PWMのスタートトリガとして作用するロードスタートパルス。

【0081】図9は、以上説明した各部の動作を示すタイミングチャートである。信号T104はR・G・B各色の内1色を例として書いた色サンプルデータ列の波形であり、1水平期間に852個のデータ列で構成される。このデータ列を1水平期間に上記制御信号により1

～426のデータ列と427～852のデータ列をラインメモリP22、P23に書き込む。次の水平期間に各色毎のラインメモリP22、P23を書き込みの場合の1/2倍の周波数で読み出し有効にすることで、T105のような1水平期間あたり色サンプル426個の2層の輝度データ列(輝度データ1、輝度データ2)を得る。色サンプル輝度データ1(T105)は、Xドライバ1(P1002)に、色サンプル輝度データ2(T105)は、Xドライバ2(P1003)に輸入される。

【0082】各輝度信号用ラインメモリP1009～P1032からR・G・Bそれぞれの輝度データをパネル色配列に応じた順番に並べ替えて、直列信号に変換した有効データ320個毎の輝度信号に対応する電流値データT106は、Xドライバタイミング発生部P1007からの輝度データに同期したシフトクロックT107により、シフトレジスタP1041～P1048に転送される。シフトレジスタP1041～P1048の電流値データを、ロードスタートパルスT108の“L”レベルによりPWMジェネレータ部P1057に2556個の1水平列分のデータを一度に転送する。同様に、シフトレジスタP1049～P1056の振幅データをロードスタートパルスT108の“L”レベルによりD/A部P1058に2556個の1水平列分のデータを一度に転送する。ここでは、補正データに対して、電流振幅で制御するようにしているが、もちろん、電圧振幅で制御する回路であってもかまわない。

【0083】各列方向配線毎に備えられるPWMジェネレータ部P1057は、ロードスタートパルスT108の“L”レベルにシフトレジスタP1041～P1048からの輝度データを受け、ロードスタートパルスT108の立ち上がり後に、T110に示す波形のように水平周期毎にデータの大きさに比例したパルス幅を有するパルス信号を発生する。

【0084】各列方向配線毎に備えられるD/A部P1058は電流出力のデジタルアナログ変換機であり、シフトレジスタP1049～P1056からの電流振幅値のデータを受け、図9のT109に示す波形のように、水平周期毎にデータの大きさに比例した電流振幅を有する駆動電流を発生する。スイッチ手段P1060の出力の列方向配線駆動波形の一例を、図9のT111に示す。

【0085】以上説明したように、輝度信号用ラインメモリP1009～P1032をR、G、Bの色ごとに設け、輝度データ用のシフトレジスタP1041～P1048へのデータの書き込みを色ごとに行うので、シフトレジスタP1041～P1048へのデータの書き込みの際のアドレスのずれが防止され、結果的に、色ずれのない良好な画像を表示することができる。しかも、輝度信号用ラインメモリP1009～P1032から、対応するシフトレジスタP1041～P1048へのデータ

の書き込みを同時に行うので、データ転送に要する時間も短縮される。

【0086】本実施形態では、上述したように、変調信号回路部P1001は、ドライバ部P1006とメモリ部P1005とXドライバタイミング発生部P1007(P1008)で構成された同一のXドライバ基板2枚で構成されており、基板セレクト信号に応じて、基板内部の制御信号として異なる信号を出力する機能を有している。同一の基板で回路を構成できるために、コスト面でも有利である。

【0087】本実施形態では基板セレクト信号をMPU(P11)から出力しているが、これに限定されるものではなく、基板セレクト信号端の一方をGNDに接続し、もう一方を、5Vを接続したような単純なものでもよい。

【0088】また、本実施形態では同一基板を2枚で回路を構成したが、これに限定されるものではなく、基板に対応した基板セレクト信号を用意さえすれば、2枚よりも多い構成でもかまわない。

【0089】なお、前述したように、表示パネルP2000と変調信号回路部P1001(具体的にはXドライバ1(P1002)、Xドライバ2(P1003))とは、電気接続用端子あるいはフレキシブルケーブルを介して電氣的に接続される。ここで、フレキシブルケーブルで両者を接続する場合、フレキシブルケーブルは樹脂フィルムで配線を固定した構造であり、樹脂フィルムの温度による膨張もしくは収縮の程度が表示パネルP2000のそれと異なる。したがって、表示パネルP2000の列方向配線P2003の数と同数の配線を有する1枚のフレキシブルケーブルを用いると、両端部における両者の配線のピッチのずれが大きくなり接触不良が生じる場合がある。よって、フレキシブルケーブルを用いる場合には、このピッチずれの累積を避けるために、複数枚のフレキシブルケーブルを並列に用いるのが好ましい。

【0090】この際、1枚のフレキシブルケーブルを複数のドライバに跨って接続しようとすると、フレキシブルケーブルを分岐させる必要があり、フレキシブルケーブルの引き回しや電氣的経路長の観点から好ましくない。よって、1枚のフレキシブルケーブルは複数のドライバに跨らせず一つのドライバに接続するようにするのが好ましい。特に、ドライバがシフトレジスタからフレキシブルケーブルの各配線に信号を供給するものであると更に好適である。

【0091】(第2の実施形態)図19は、本発明の第2の実施形態である画像表示装置の表示パネル及びその駆動回路のブロック図である。また、図20は、そのアナログ処理部のブロック図であり、図21は、図19に示す変調信号回路部のXドライバのブロック図であり、図22は、図19に示す表示パネルとXドライバの信号

線の対応関係を示す図である。

【0092】本実施形態も、基本的な構成は第1の実施形態と同様であるが、図19に示すように本実施形態では、変調信号回路部P1001は一つのXドライブP1002を有し、このXドライブP1002に1ライン分の輝度データが各色ごとに送られる。それに伴い、アナログ処理部においては、図20に示すように、ラインメモリP22及びラッチ手段P24が各色ごとに一つずつ設けられている。また、図21に示すように、第1の実施形態では2つのXドライブに分けられていた全ての構成が一つのXドライブP1002の中に含まれている。

【0093】さらに、図21及び図22に示すように、輝度データ及び補正データを320個ずつシフトする8個のシフトレジスタP1041~P1048、P1049~P1056を使用しているため、シフト数としては、 $320 \times 8 = 2560$ 個であり、PWMジェネレータ部P1057、D/A部P1058、スイッチ手段P1059及びダイオード手段P1060もそれぞれ2560個設けられている。それに対し、表示パネルP2000の列方向配線P2003は2556列あり、XドライブP1002の出力端子が4つ余る。従って、2560個の出力端子のうち、左右それぞれ2ラインは、列方向配線P2003とは接続されていない。なお、第1の実施形態のように2つのXドライブを有する構成であっても、出力端子の数と列方向配線P2003の数が一致しない場合は、本実施形態のように、余り分を出力端子の配列の端に位置させることができる。

【0094】その他の構成については第1の実施形態と同様であるので、その詳細な説明は省略する。

【0095】次に、本実施形態における信号のリード/ライト動作について説明する。

【0096】〈ライト動作〉ラッチ手段P24から出力されたR・G・Bそれぞれの輝度データ1を、Xドライブタイミング発生部P1007からのラインメモリ制御信号T114(図11~14)のライトイネーブル信号、ライトリセット信号、ライトクロック信号により、輝度信号用ラインメモリP1009~P1032に書き込む(図11~14のT115)。ただし、この入力された輝度データには発光に寄与しないデータ列数を一定にするための無効なデータも含まれている。

【0097】このときR・G・Bそれぞれの輝度データは、図10のように更に4層に分割される。そして、4層に分割するためにR・G・Bそれぞれのデータの走査方向の2ライン分のデータ109×2個を、最初に図11のラインメモリ制御信号T114のライトイネーブル信号、ライトリセット信号、ライトクロック信号により輝度信号用ラインメモリP1009~P1011、P1021~P1023に書き込み、その後順次、図12のラインメモリ制御信号T114により輝度信号用ラインメモリP1012~P1014、P1024~P102

6に、図13のラインメモリ制御信号T114により輝度信号用ラインメモリP1015~P1017、P1027~P1029に、図14のラインメモリ制御信号T114により輝度信号用ラインメモリP1018~P1020、P1030~P1032に書き込む。ここで、輝度信号用ラインメモリP1009~P1032は、クロック同期式のラインメモリである。

【0098】〈リード動作〉輝度データを輝度信号用ラインメモリP1009~P1011、P1021~P1023においては、Xドライブタイミング発生部P1007から、以下のラインメモリ制御信号(リードイネーブル信号、リードリセット信号、リードクロック信号)を出力することによりシフトレジスタに直列輝度データを出力する。

【0099】(1) 図15のT116に示す、第1のラインメモリ制御信号1により、輝度信号用ラインメモリP1010(G1)、P1011(B1)、P1009(R1)、・・・の順で出力を制御することにより、G→B→R→G→B→R・・・の順で直列輝度データを、シフトレジスタP1041に出力する。ここで、1番目のGのデータと、2番目のBのデータは、最終的な信号の出力端が表示パネルP2000の列方向配線P2003に接続されていないこともあり、データとしては"0"のデータである。

【0100】(2) 図16のT116に示す、第2のラインメモリ制御信号2により、輝度信号用ラインメモリP1012(R2)、P1013(G2)、P1014(B2)、・・・の順で出力を制御することにより、R→G→B→R→G→B・・・の順で直列輝度データを、シフトレジスタP1042に出力する。

【0101】(3) 図17のT116に示す、第3のラインメモリ制御信号3により、輝度信号用ラインメモリP1017(B3)、P1015(R3)、P1016(G3)、・・・の順で出力を制御することにより、B→R→G→B→R→G・・・の順で直列輝度データを、シフトレジスタP1043に出力する。

【0102】(4) 図18のT116に示す、第4のラインメモリ制御信号4により、輝度信号用ラインメモリP1019(G4)、P1020(B4)、P1018(R4)、・・・の順で出力を制御することにより、G→B→R→G→B→R・・・の順で直列輝度データを、シフトレジスタP1044に出力する。

【0103】(5) 図15のT116に示す、第5のラインメモリ制御信号5により、輝度信号用ラインメモリP1021(R5)、P1022(G5)、P1023(B5)、・・・の順で出力を制御することにより、R→G→B→R→G→B・・・の順で直列輝度データを、シフトレジスタP1045に出力する。

【0104】(6) 図16のT116に示す、第6のラインメモリ制御信号6により、輝度信号用ラインメモリ

リP1026 (B6)、P1024 (R6)、P1025 (G6)、・・・の順で出力を制御することにより、B→R→G→B→R→G・・・の順で直列輝度データを、シフトレジスタP1046に出力する。

【0105】(7) 図17のT116に示す、第7のラインメモリ制御信号7により、輝度信号用ラインメモリP1028 (G7)、P1029 (B7)、P1027 (R7)、・・・の順で出力を制御することにより、G→B→R→G→B→R・・・の順で直列輝度データを、シフトレジスタP1047に出力する。

【0106】(8) 図18のT116に示す、第8のラインメモリ制御信号8により、輝度信号用ラインメモリP1030 (R8)、P1031 (G8)、P1032 (B8)、・・・の順で出力を制御することにより、R→G→B→R→G→B・・・の順で直列輝度データを、シフトレジスタP1048に出力する。

【0107】そして、図15～図18に示すように、Xドライバタイミング発生部P1007からの320パルスのシフトクロックT107により、輝度信号用ラインメモリP1009～P1011、P1012～P1014、P1015～P1017、P1018～P1020、P1021～P1023、P1024～P1026、P1027～P1029、P1030～P1032から出力されたそれぞれの輝度データのうち320個の輝度データを同時に、シフトレジスタP1041、P1042、P1043、P1044、P1045、P1046、P1047、P1048にそれぞれ入力する。

【0108】以上説明したように本実施形態では、図22のように水平2556列の列方向配線P2003に対して、輝度データを320個ずつシフトするシフトレジスタP1041～P1048の8個のシフトレジスタを使用し、シフトレジスタに輝度データを出力する輝度信号用ラインメモリP1009～P1032のラインメモリ制御信号T116のリードイネーブル信号、リードリセット信号、リードクロック信号により、並列→直列変換した輝度データのR、G、Bの順番を、出力するシフトレジスタの位置に応じて制御している。

【0109】また、本実施形態では、シフトレジスタの数が8個であり、 $8=3 \times 3 - 1$ となるので、最初のシフトレジスタの先頭のデータがGであるので、第2のシフトレジスタの先頭のデータがR、第3のシフトレジスタの先頭のデータがB、第4のシフトレジスタの先頭のデータがG、第5のシフトレジスタの先頭のデータがR、第6のシフトレジスタの先頭のデータがB、第7のシフトレジスタの先頭のデータがG、第8のシフトレジスタの先頭のデータがR、となる。

【0110】I/O制御部P13から出力される補正設定データを、Xドライバタイミング発生部P1007からのメモリ制御信号のメモリライト信号・アドレス信号により、起動時もしくは帰線期間中に補正用メモリP1

033～P1040に書き込み、Xドライバタイミング発生部P1007からのメモリ制御信号のメモリリード信号・アドレス信号によりその後シフトレジスタP1049～P1056に出力する。

【0111】それ以降の動作については第1の実施形態と同様である。

【0112】一般に、R、G、Bの3つの輝度信号で1つの画素を形成するために、輝度信号のサンプリング周波数を低減する目的で輝度信号を多層化した場合は、シフトレジスタのシフト数は3の倍数であり、このためドライバの出力チャンネル数も3の倍数とする必要があるが、本実施形態のように輝度信号を制御することにより、シフトレジスタのシフト数を3の倍数とする必要はなくなる。これにより、ドライバの出力数に制限を設けずに画像表示装置を作製することができる。

【0113】

【発明の効果】以上説明したように本発明によれば、輝度信号を記憶するメモリをR、G、Bの色ごとに設け、シフトレジスタへの書き込みを色ごとに行うことにより、色ずれのない良好な画像を表示することができる。しかも、メモリ及びシフトレジスタは、一連の輝度信号を複数に分割した単位ごとに複数設けられているので、信号の転送時間も短縮することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態である画像表示装置の表示パネル及びその駆動回路のブロック図である。

【図2】本発明の第1の実施形態である画像表示装置のアナログ処理部のブロック図である。

【図3】本発明の第1の実施形態である画像表示装置のデコーダ部のブロック図である。

【図4】本発明の第1の実施形態である画像表示装置のタイミング発生部のブロック図である。

【図5】図1に示す表示パネルの一例を示す斜視図である。

【図6】図5に示す表示パネルの蛍光膜の、各色蛍光体の配列を示す図である。

【図7】図1に示すXドライバ1のブロック図である。

【図8】図1に示すXドライバ2のブロック図である。

【図9】表示パネルの駆動回路の各部のタイミングチャートである。

【図10】輝度データ及びラインメモリ入力データのタイミングチャートである。

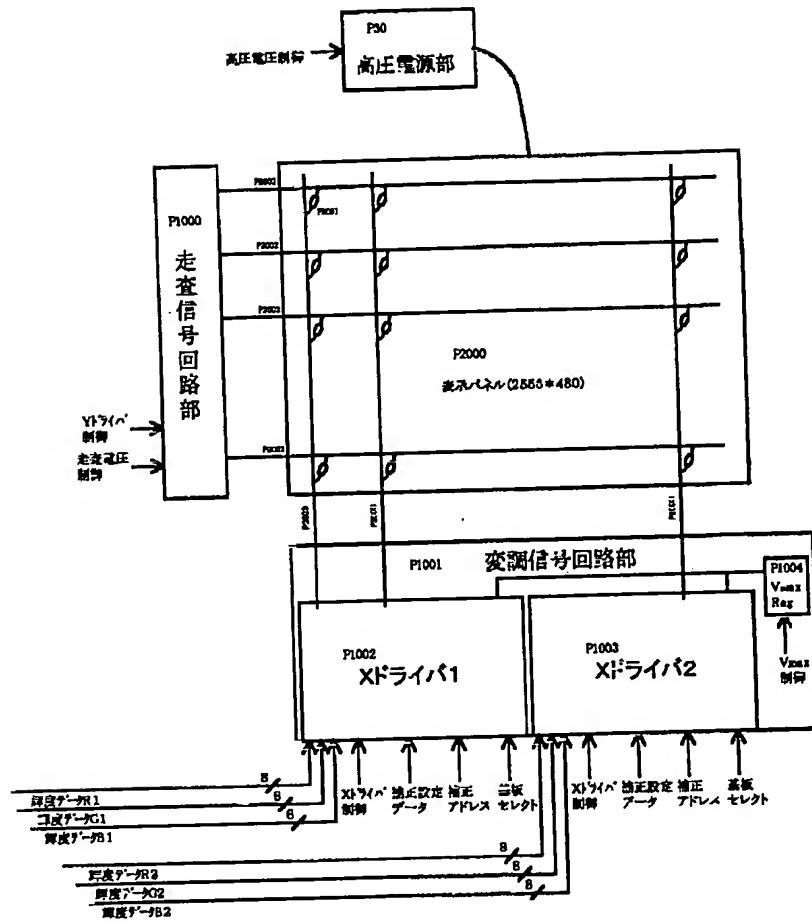
【図11】ラインメモリ制御信号のタイミングチャートである。

【図12】ラインメモリ制御信号のタイミングチャートである。

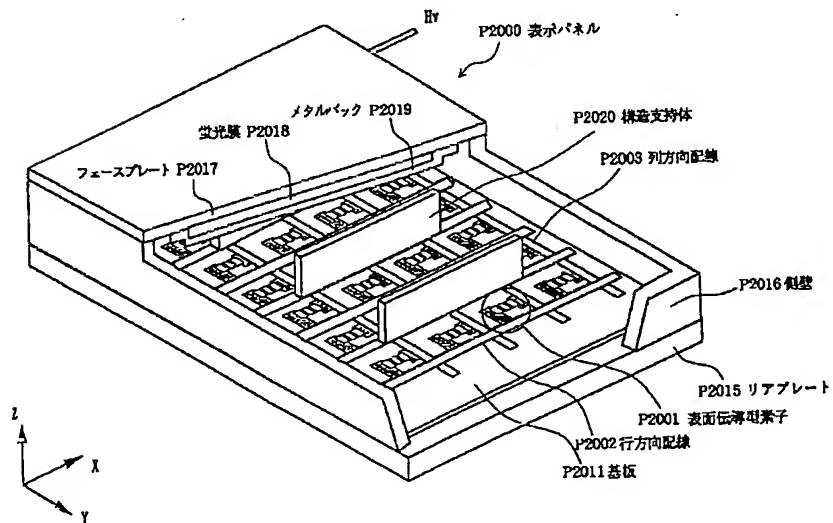
【図13】ラインメモリ制御信号のタイミングチャートである。

【図14】ラインメモリ制御信号のタイミングチャートである。

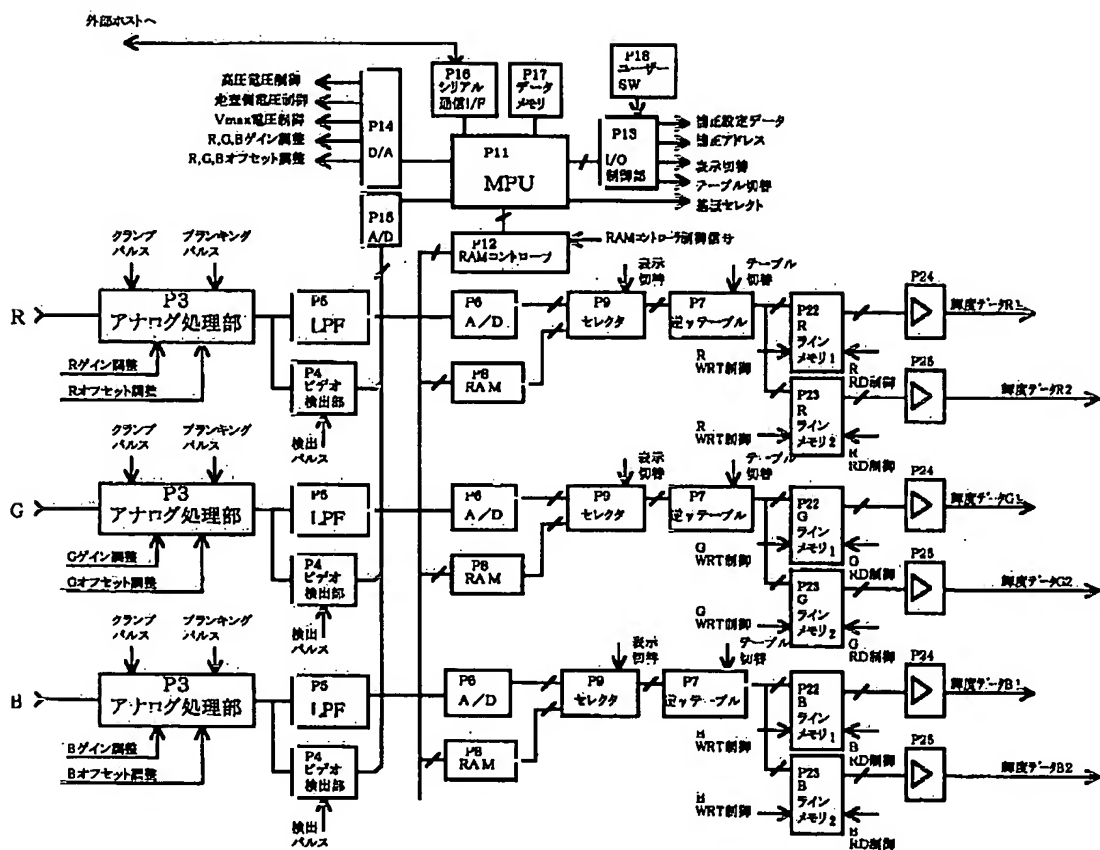
【図1】



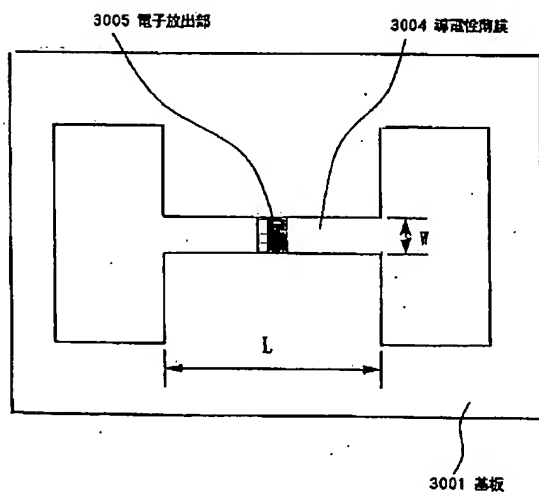
【図5】



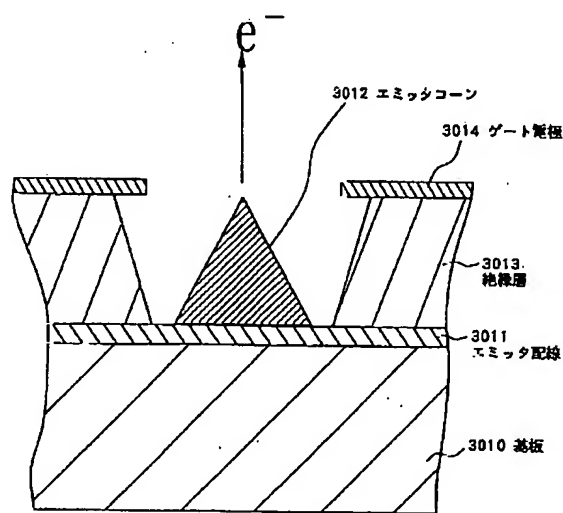
【図2】



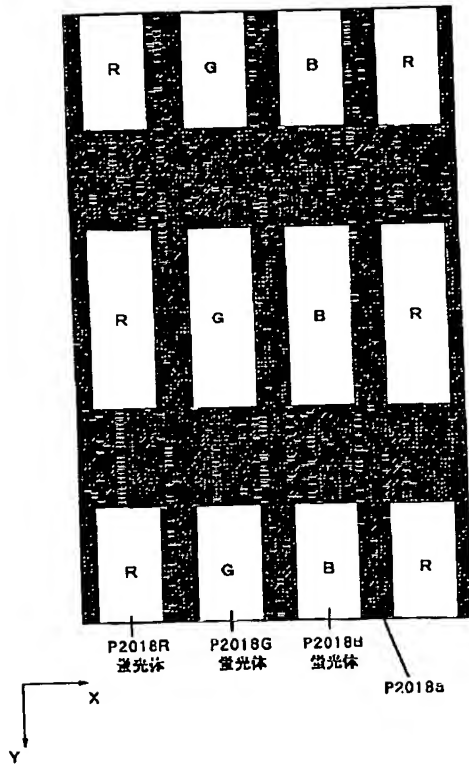
【図23】



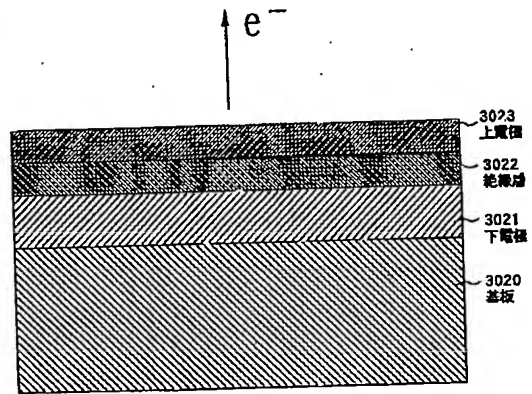
【図24】



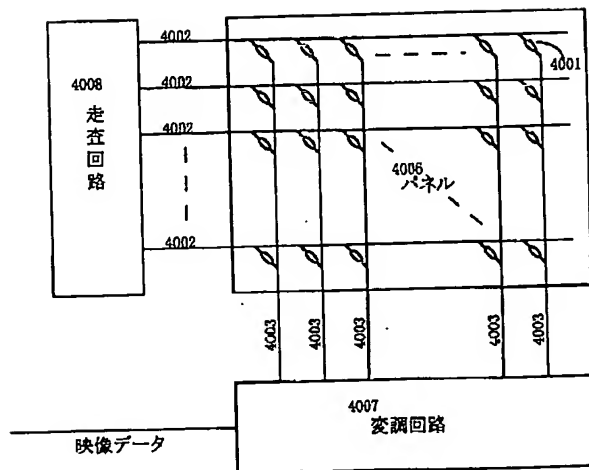
【図6】



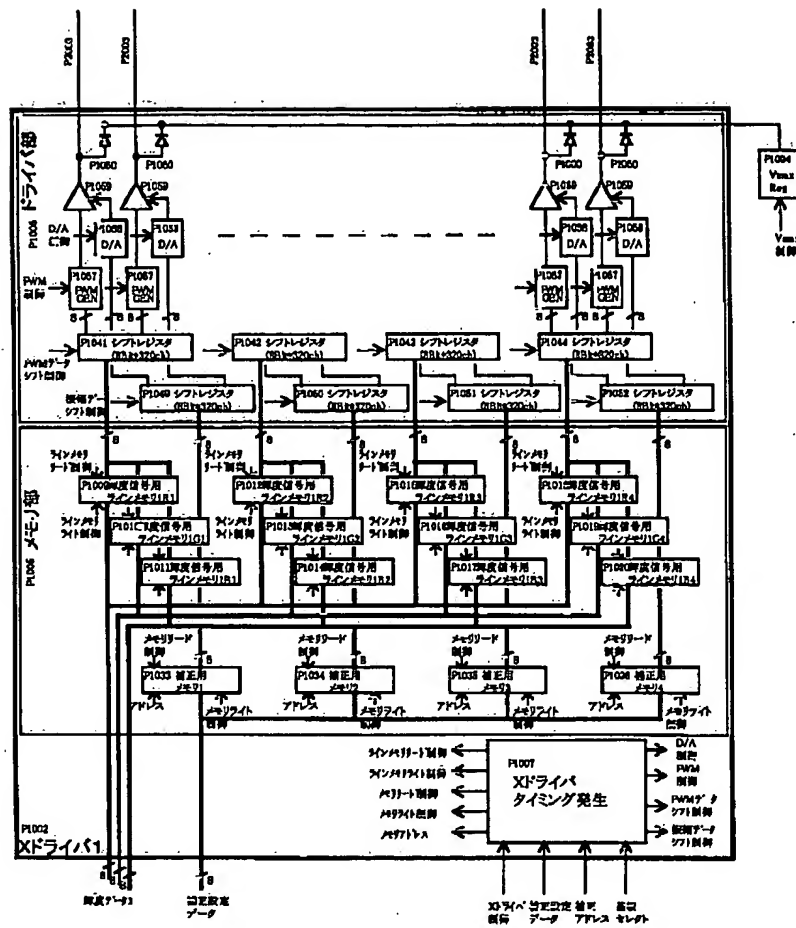
【図25】

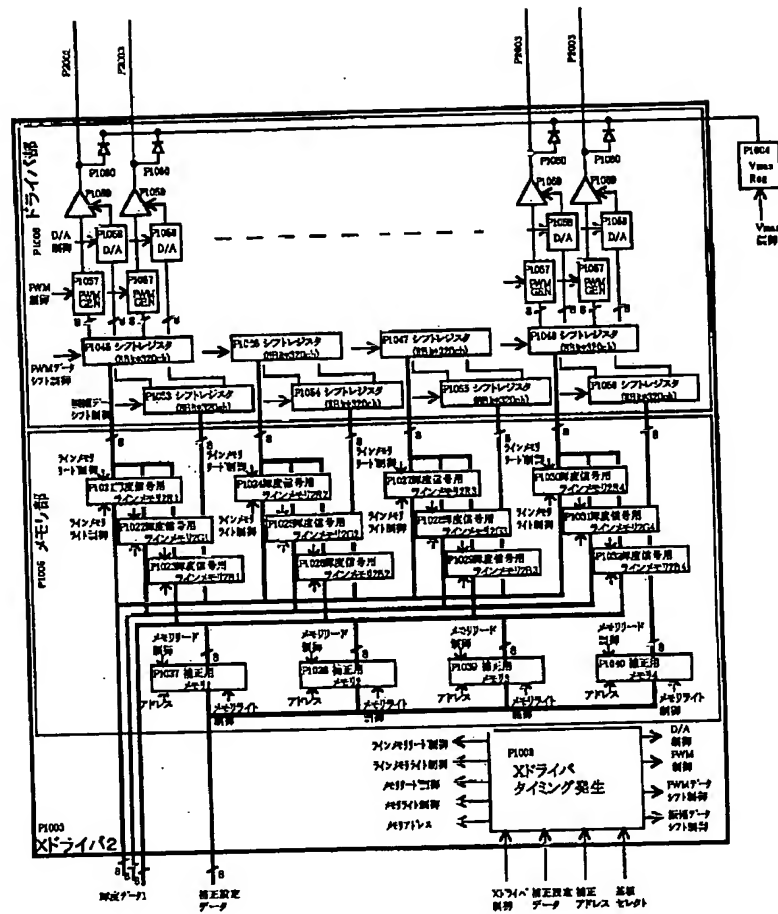


【図26】

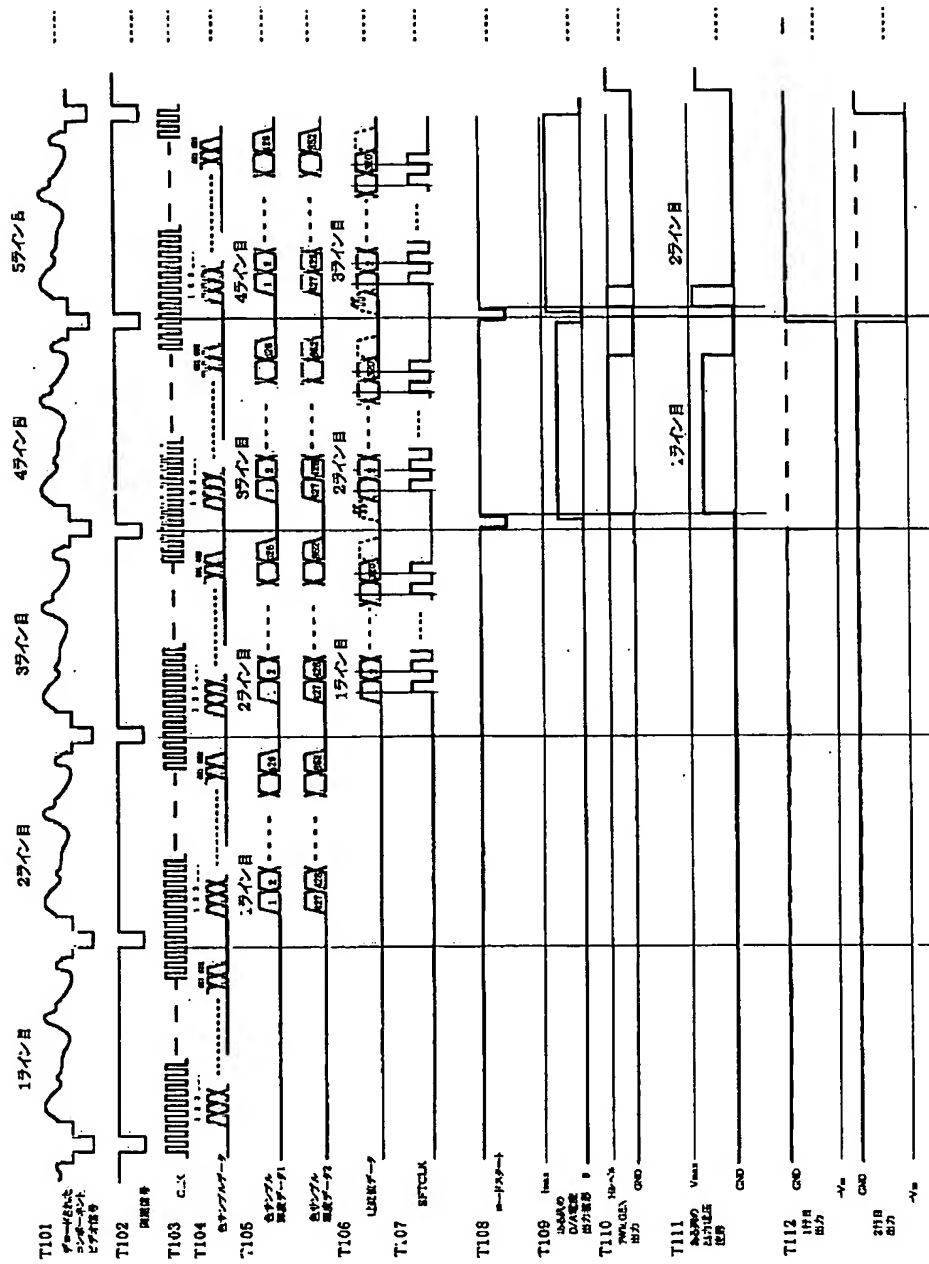


【図7】



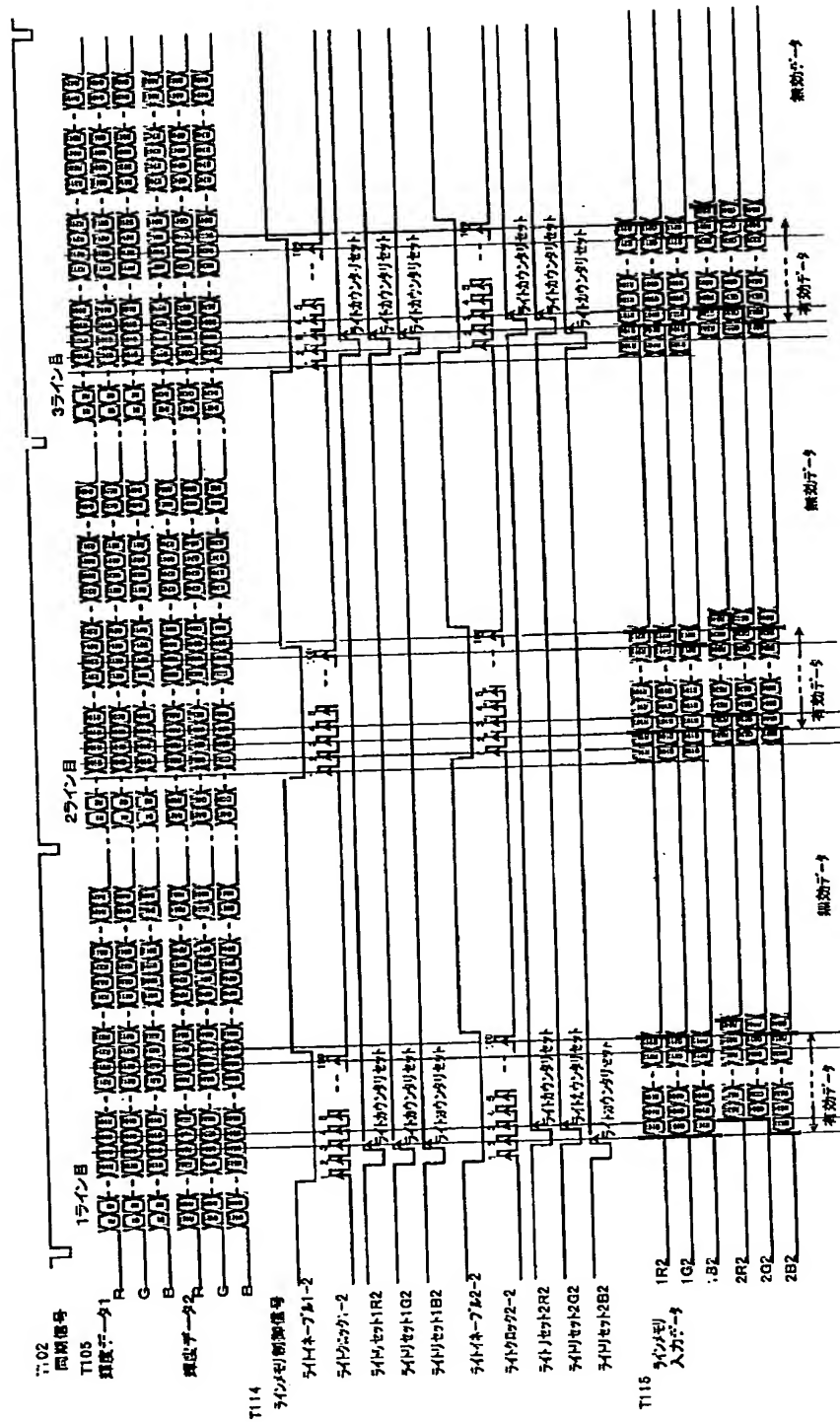


【図9】

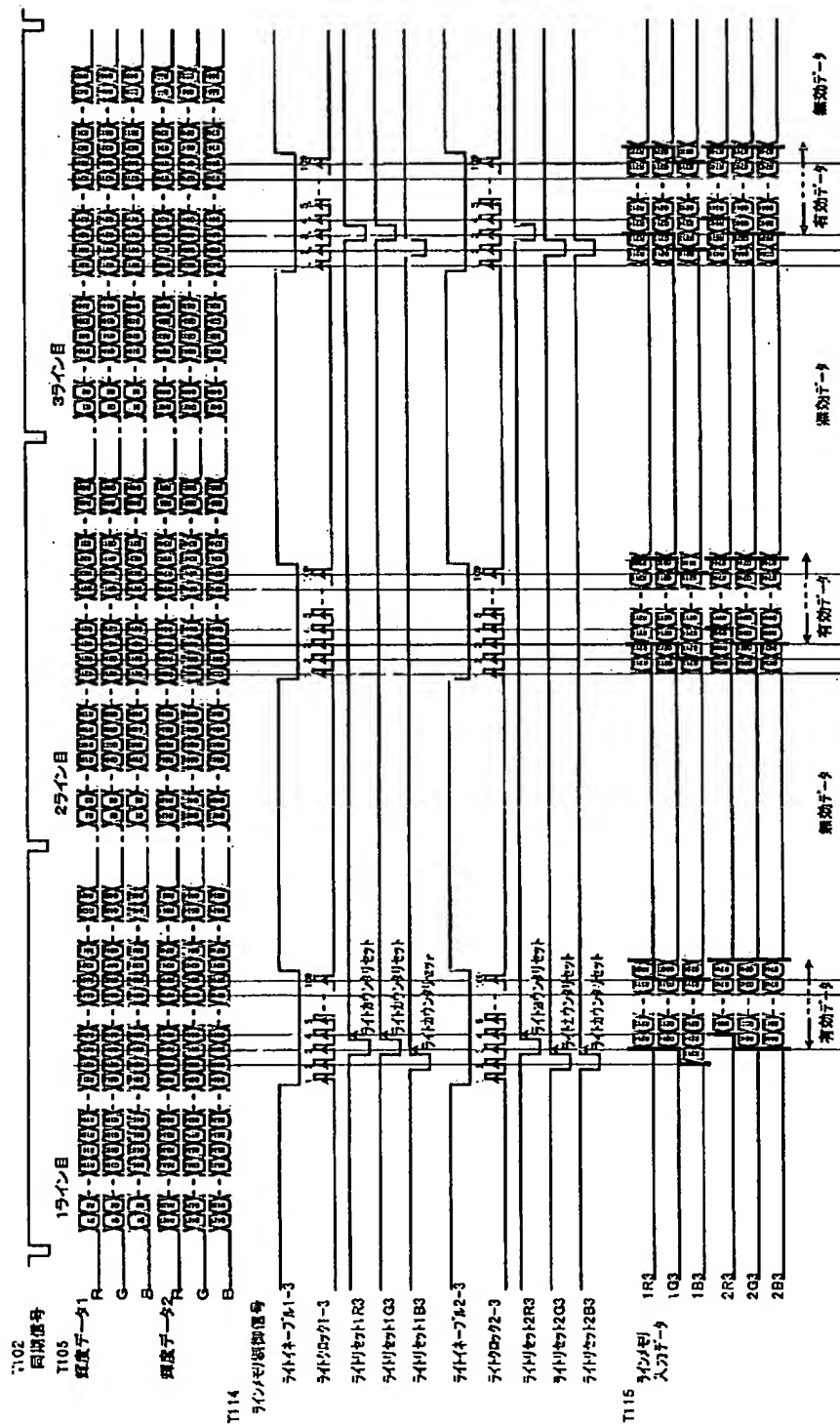


7.02 別出番号	1ライン目	2ライン目	3ライン目
T105 順度サーチ1	00-0000-0000-00	00-0000-0000-00	00-0000-0000-00
G	00-0000-0000-00	00-0000-0000-00	00-0000-0000-00
B	00-0000-0000-00	00-0000-0000-00	00-0000-0000-00
順度サーチ2	00-0000-0000-00	00-0000-0000-00	00-0000-0000-00
C	00-0000-0000-00	00-0000-0000-00	00-0000-0000-00
B	00-0000-0000-00	00-0000-0000-00	00-0000-0000-00
T113 サインパル 入カード	00-00-00	00-00-00	00-00-00
I01	000-00-00	000-00-00	000-00-00
I81	000-00-00	000-00-00	000-00-00
2R1	00-00-00	00-00-00	00-00-00
2O1	00-00-00	00-00-00	00-00-00
2B1	00-00-00	00-00-00	00-00-00
I02	000-00-00	000-00-00	000-00-00
I02	000-00-00	000-00-00	000-00-00
I02	000-00-00	000-00-00	000-00-00
2R2	00-00-00	00-00-00	00-00-00
2Q2	00-00-00	00-00-00	00-00-00
2B2	000-00-00	000-00-00	000-00-00
I03	00-00-00	00-00-00	00-00-00
I03	00-00-00	000-00-00	000-00-00
I03	000-00-00	000-00-00	00-00-00
2R3	00-00-00	000-00-00	00-00-00
2Q3	00-00-00	000-00-00	00-00-00
2B3	00-00-00	000-00-00	00-00-00
I04	000-00-00	000-00-00	000-00-00
I04	000-00-00	000-00-00	000-00-00
I04	000-00-00	000-00-00	000-00-00
2R4	00-00-00	00-00-00	00-00-00
2Q4	00-00-00	00-00-00	00-00-00
2B4	00-00-00	00-00-00	00-00-00

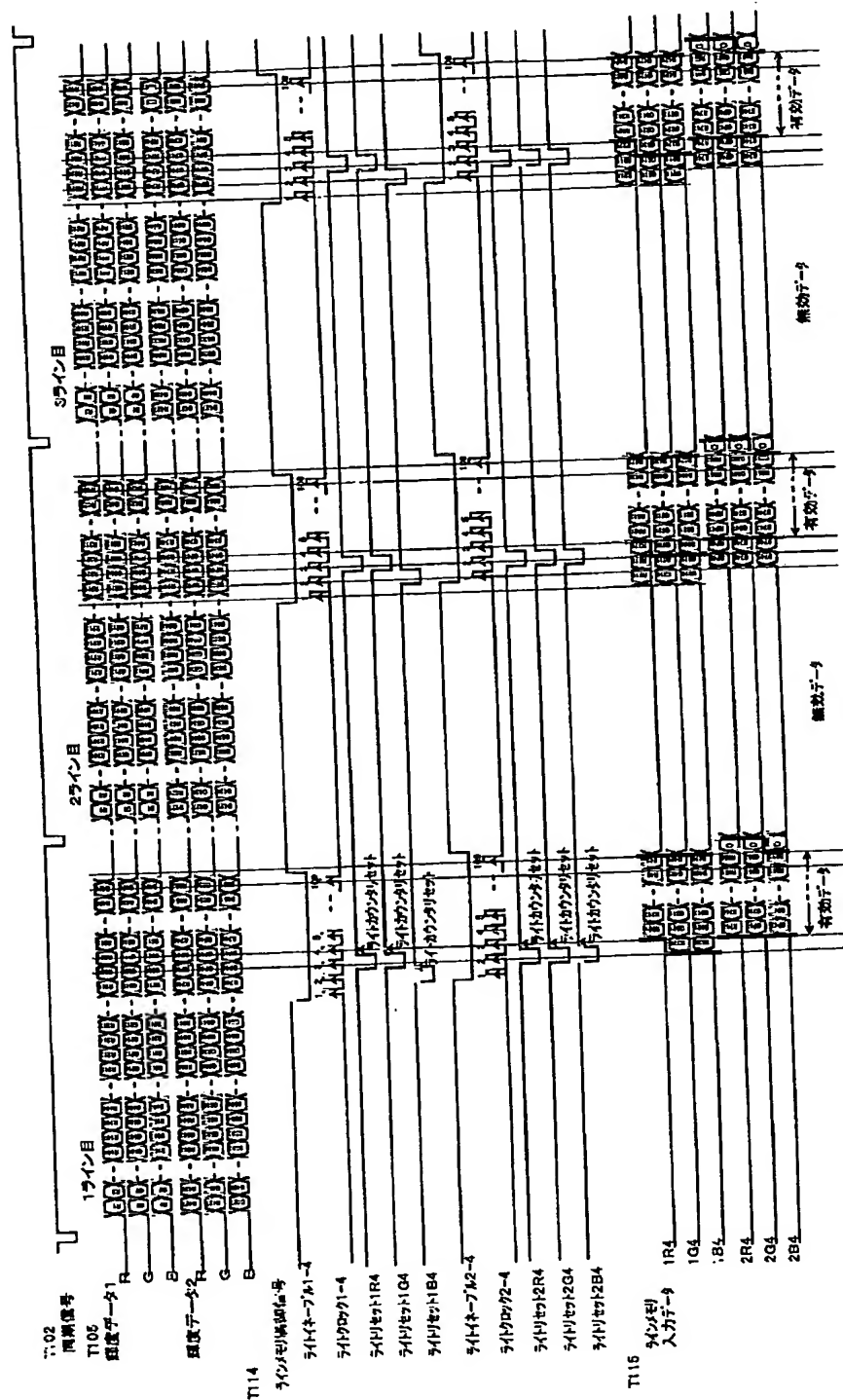
【図12】



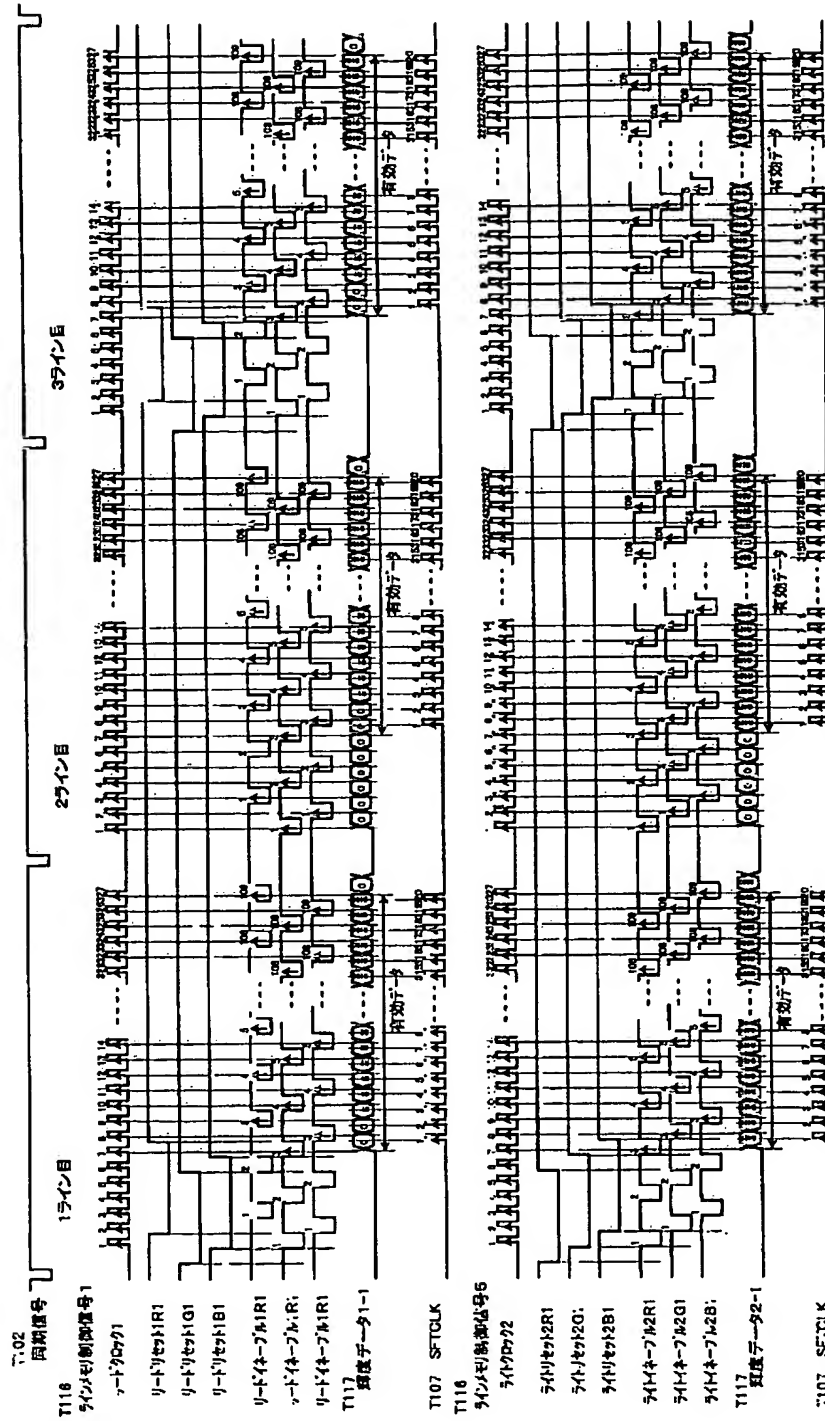
【図13】



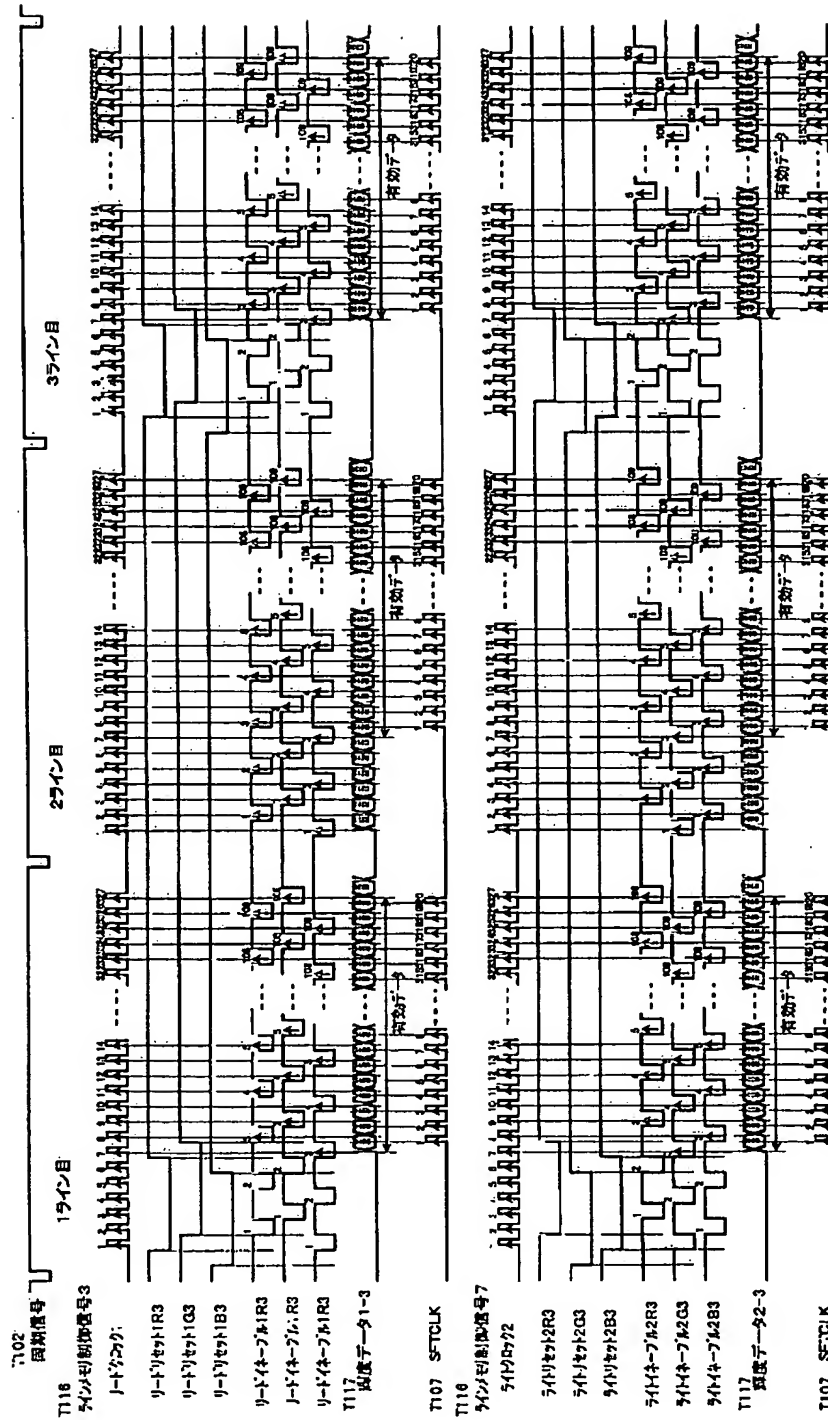
【図14】



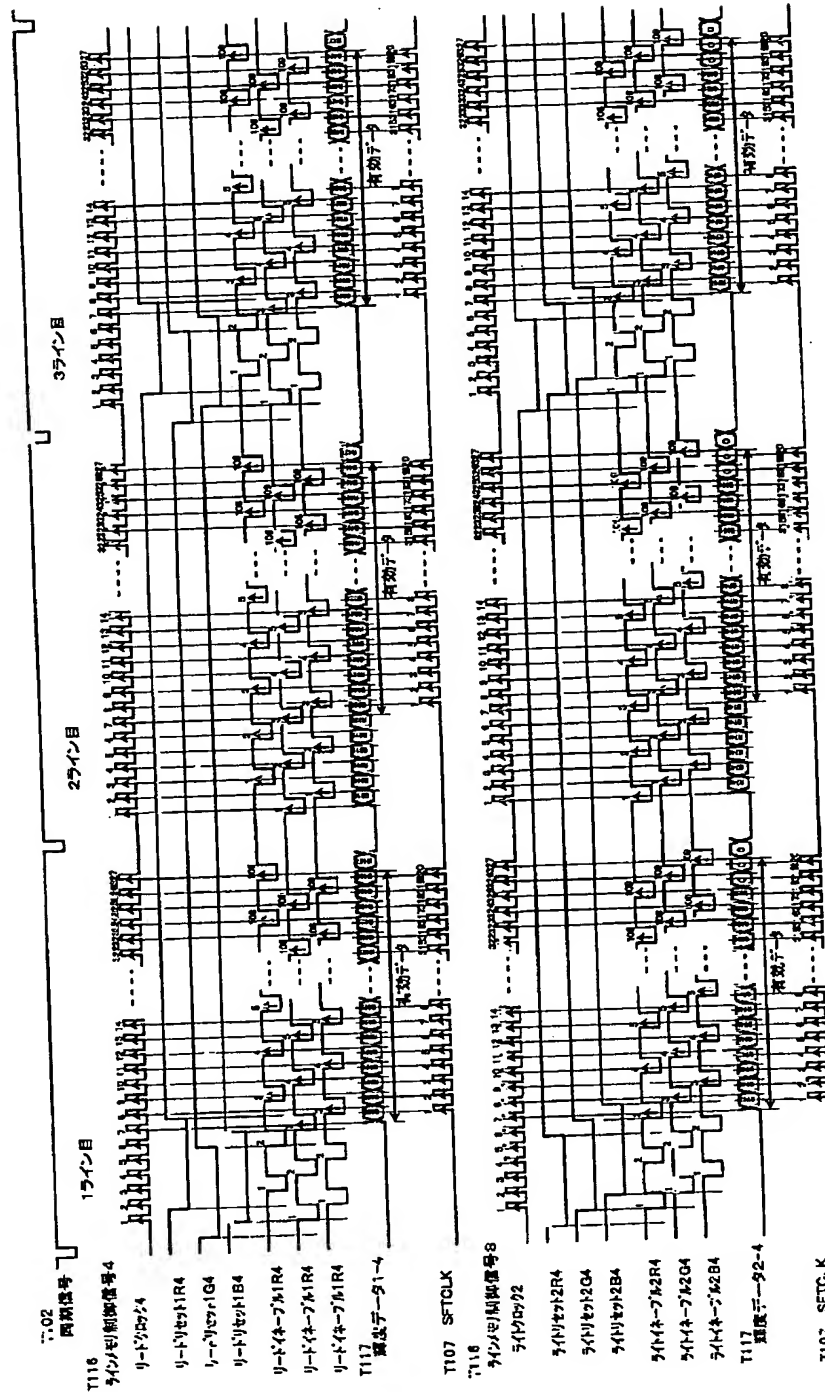
【図15】

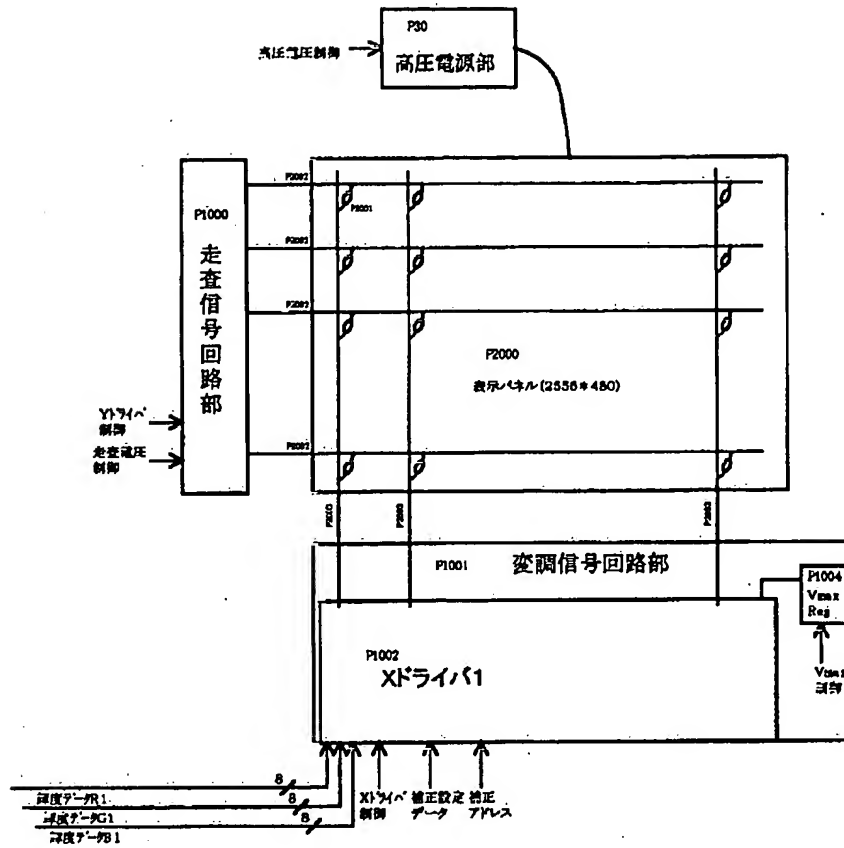


【図17】



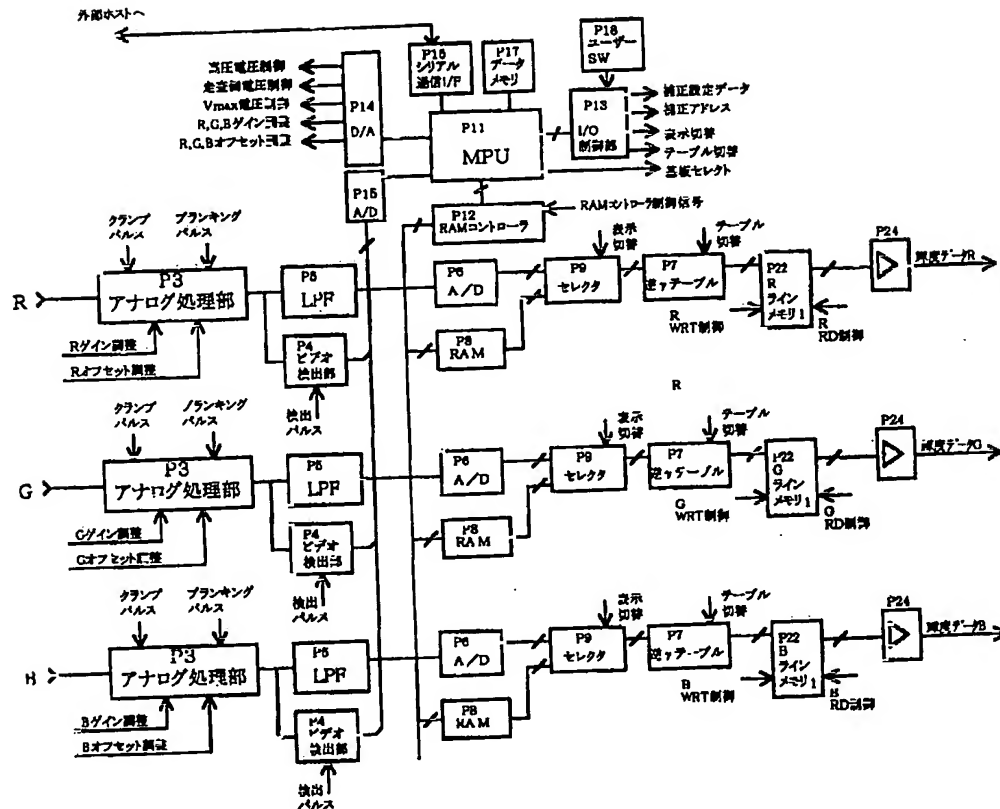
【図18】



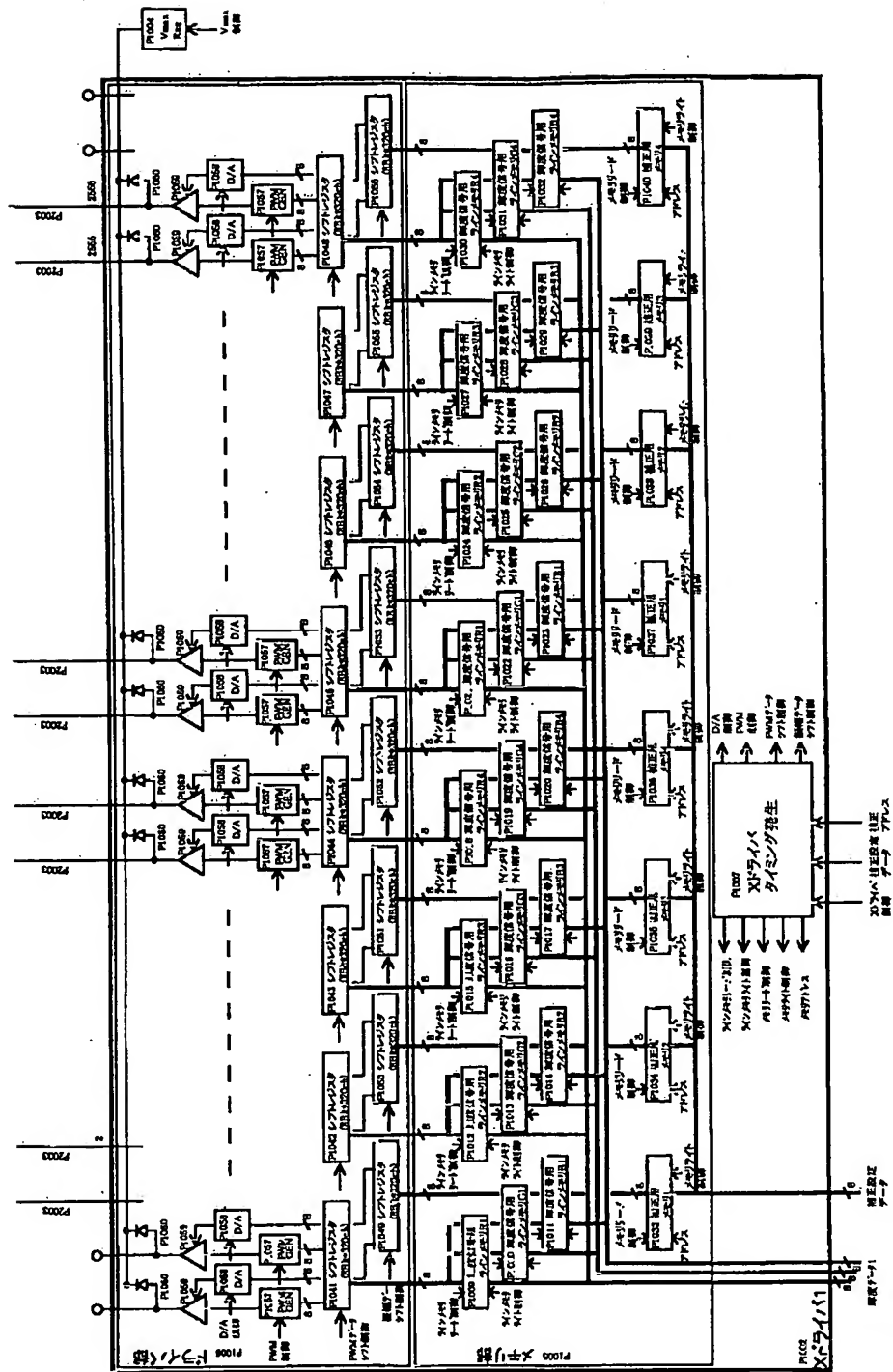


1

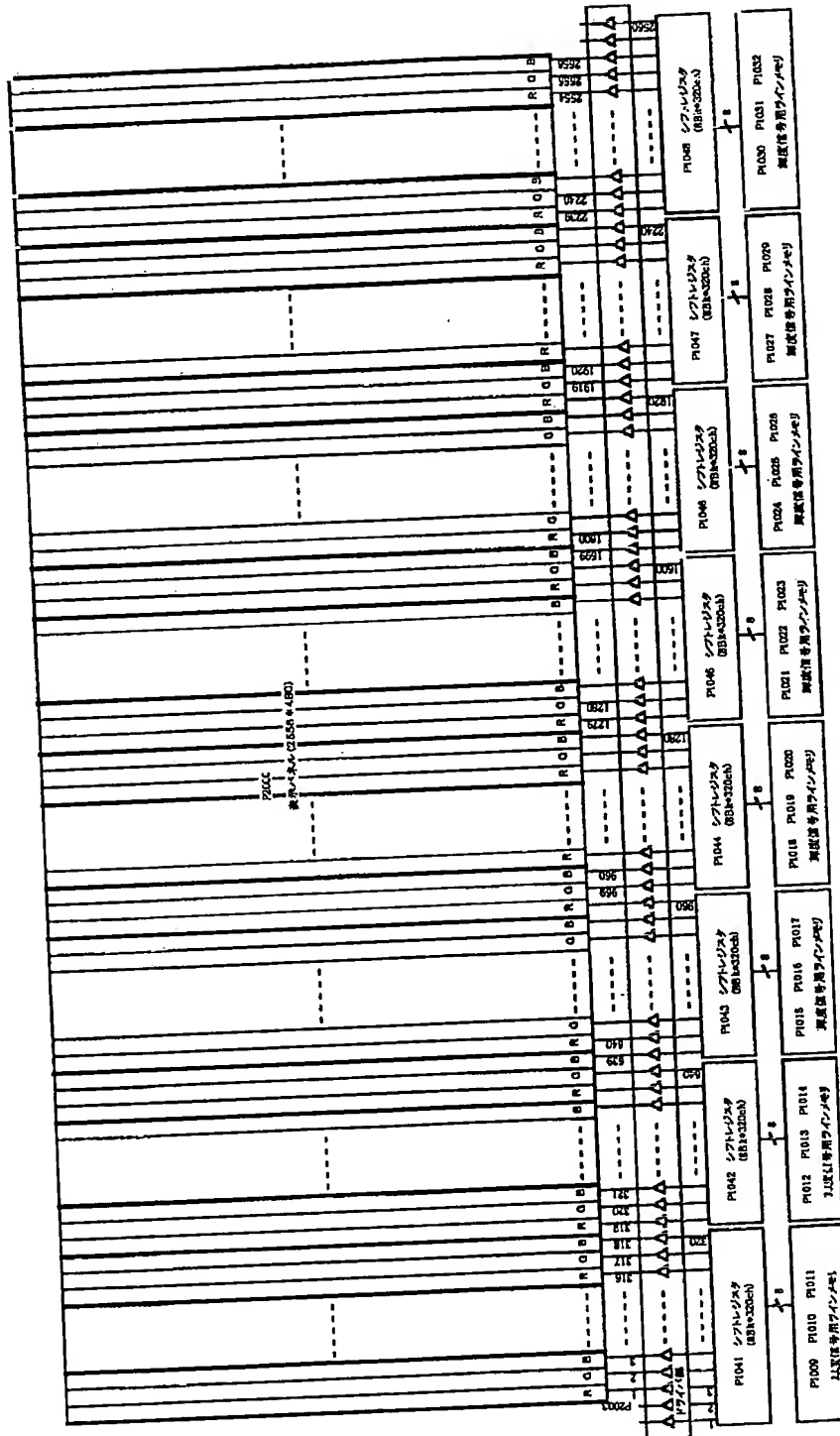
【図20】



【図21】



【図22】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)